

Docket No.: 69804-013

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Katsuhiko SHISHIDO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 04, 2004	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-062283, filed March 7, 2003**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prg  
Facsimile: (202) 756-8087  
**Date: March 4, 2004**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

69804-013  
Shishido et al.  
March 4, 2004  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月    7 日  
Date of Application:

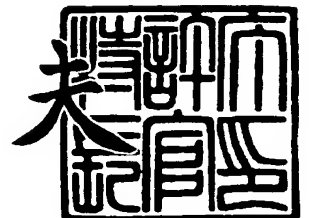
出 願 番 号                      特 願 2 0 0 3 - 0 6 2 2 8 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 6 2 2 8 3 ]

出      願      人                      松下電器産業株式会社  
Applicant(s):

2 0 0 4 年    1 月 2 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 2 2 4 2

【書類名】 特許願

【整理番号】 5038340150

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 六戸 勝彦

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 西村 始修

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 小谷 久和

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100098291

    【弁理士】

    【氏名又は名称】 小笠原 史朗

【手数料の表示】

    【予納台帳番号】 035367

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9405386

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 それぞれが略同じ外形を有しており、かつそれぞれの一方の主面上に集積回路が形成された複数の半導体チップを積層配置して構成される半導体装置であって、

一部分に導電部分を含み、前記複数の半導体チップに対してさらに積層配置される非導電層と、

前記非導電層に設けられた導電部分を介して、前記複数の半導体チップの集積回路同士を内部接続する内部接続部分とを備え、

前記非導電層に設けられた導電部分は、前記複数の半導体チップの集積回路間の内部接続のみを中継することを特徴とする、半導体装置。

【請求項 2】 前記複数の半導体チップは、第 1 の半導体チップと第 2 の半導体チップとによって構成され、

前記内部接続部分は、

前記第 1 の半導体チップと前記導電部分とを接続する第 1 の接続部と、

前記第 2 の半導体チップと前記導電部分とを接続する第 2 の接続部とを含む、請求項 1 に記載の半導体装置。

【請求項 3】 前記非導電層には、回路が形成されており、

前記第 1 の接続部が前記非導電層に対して接続されている導電部分と、前記第 2 の接続部が当該非導電層に対して接続されている導電部分とは、前記非導電層に形成された回路によって導電可能となっていることを特徴とする、請求項 2 に記載の半導体装置。

【請求項 4】 前記非導電層は、両方の主面に回路が形成されていることを特徴とする、請求項 3 に記載の半導体装置。

【請求項 5】 前記非導電層は、前記第 1 の半導体チップと前記第 2 の半導体チップとの間に積層配置されることを特徴とする、請求項 2 に記載の半導体装置。

【請求項 6】 前記第 1 の半導体チップと前記第 2 の半導体チップとは、集

積回路が形成されていない方の主面が前記非導電層を挟んで互いに対向するように積層配置されることを特徴とする、請求項 5 に記載の半導体装置。

【請求項 7】 前記第 1 の接続部は、前記第 1 の半導体チップの集積回路が形成された主面が向いている方向と同方向を向く主面上に形成された導電部分と接続されていることを特徴とする、請求項 6 に記載の半導体装置。

【請求項 8】 前記非導電層は、前記複数の半導体チップを載置するためのマウントであることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 9】 前記導電部分は、前記複数の半導体チップが前記非導電層と共に積層配置されたときに、当該複数の半導体チップの外形よりも外側に位置する部分に導電体のめっきが施されることにより形成されることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 10】 前記導電体のめっきは、金属めっきであることを特徴とする、請求項 9 に記載の半導体装置。

【請求項 11】 前記複数の半導体チップの外形よりも外側に位置する部分は、当該複数の半導体チップの外形から外側に前記非導電層の一部を突出させて形成された凸部であることを特徴とする、請求項 9 に記載の半導体装置。

【請求項 12】 前記複数の半導体チップおよび前記非導電層は、パッケージにより覆われており、

前記非導電層は、前記複数の半導体チップが載置される部分を前記パッケージに固定するための複数の支持部をさらに含み、

前記複数の支持部は、互いにブリッジによって連結されており、

前記半導体チップの外形よりも外側に位置する部分は、前記ブリッジであることを特徴とする、請求項 9 に記載の半導体装置。

【請求項 13】 前記導電部分は、前記複数の半導体チップが前記非導電層に積層配置されたときに、当該複数の半導体チップの外形よりも外側に位置する部分に貫通した状態で形成された孔に対して、導電体が埋め込まれることにより形成されることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 14】 前記第 1 の接続部は、前記第 1 の半導体チップに貫通した孔が明けられて、当該孔に導電体が埋め込まれることにより形成され、

前記第 2 の接続部は、前記第 2 の半導体チップに貫通した孔があけられて、当該孔に導電体が埋め込まれることにより形成され、

前記第 1 の接続部が形成される位置と前記第 2 の接続部が形成される位置とは、前記第 1 の半導体チップと前記第 2 の半導体チップとが積層された場合に一致する位置であって、

前記導電部分は、前記第 1 の半導体チップと前記第 2 の半導体チップとが積層されたときに、前記第 1 の接続部と前記第 2 の接続部とが前記非導電体に接触する位置に、貫通した孔があけられて、当該孔に導電体が埋め込まれることによって作成されることを特徴とする、請求項 5 に記載の半導体装置。

【請求項 15】 前記導電部分として埋め込まれる導電体は、金属であることを特徴とする、請求項 13 または 14 に記載の半導体装置。

【請求項 16】 前記第 1 の接続部として導電体は、金属であることを特徴とする、請求項 14 に記載の半導体装置。

【請求項 17】 前記第 1 の接続部は、前記第 1 の半導体チップに貫通した孔があけられて、当該孔に導電体が埋め込まれることにより形成され、

前記第 2 の接続部は、前記第 2 の半導体チップに貫通した孔があけられて、当該孔に導電体が埋め込まれることにより形成され、

前記非導電層は、

積層配置されたときに、前記第 1 の接続部に接触する位置に貫通した孔があけられて導電体が埋め込まれることにより形成される導電体部と、

積層配置されたときに前記第 2 の接続部が接触する部分と、前記導電体部とを電氣的に接続するように形成された回路とを含むことを特徴とする、請求項 5 に記載の半導体装置。

【請求項 18】 前記第 1 の半導体チップは、その集積回路が形成されていない方の主面が前記非導電層の一方主面と対向するように積層配置され、

前記第 2 の半導体チップは、その集積回路が形成された主面が前記非導電層の他方主面と対向するように重ねて配置されることを特徴とする、請求項 2 に記載の半導体装置。

【請求項 19】 前記第 2 の接続部は、前記第 2 の半導体チップ上に設けら

れた金属製のバンプであって、

前記非導電層は、

前記第2の半導体チップと前記非導電層とが積層配置されたときに、前記バンプが接触する部分に貫通した孔が明けられて、当該孔に導電体が埋め込まれることにより形成される導電体部と、

前記第1の半導体チップが積層配置される側の主面内において、前記導電体部と前記第1の接続部とを導電可能な状態に接続する回路とを含む、請求項18に記載の半導体装置。

【請求項20】 前記第2の半導体チップは、集積回路が形成されていない方の主面が前記非導電層の主面に接触するように積層配置され、

前記第1の半導体チップと前記第2の半導体チップとの外形よりも小さな外形を持ち、当該第2の半導体チップの集積回路が形成された主面上に配置されるスペーサーをさらに備え、

前記第1の半導体チップは、集積回路が形成されていない方の主面が当該スペーサーの上部に接触するように積層配置されることを特徴とする、請求項2に記載の半導体装置。

【請求項21】 それぞれが略同じ外形を有しており、かつそれぞれの一方の主面上に集積回路が形成された複数の半導体チップを積層配置して構成される半導体装置であって、

第1の導電部分と第2の導電部分とを含み、前記複数の半導体チップに対してさらに積層配置される非導電層と、

前記非導電層に設けられた第1の導電部分を介して、前記複数の半導体チップの集積回路同士を内部接続する内部接続部分とを備え、

前記非導電層に設けられた第2の導電部分は、前記複数の半導体チップに形成された集積回路と前記外部回路とを接続するための端子であることを特徴とする、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】



本発明は、半導体装置に関する発明であって、より特定的には、それぞれが略同じ外形を有しており、かつそれぞれの一方の主面上に集積回路が形成された複数の半導体チップを積層配置して構成される半導体装置に関する発明である。

#### 【0002】

##### 【従来の技術】

近年、半導体装置において、複数の機能の異なる半導体チップを一つの半導体装置に実装することにより、当該半導体装置を小型化させると共に、当該半導体装置内で半導体チップ同士が直接にデータの入出力を行い、半導体装置全体として高機能なシステムを構築する「システム・イン・パッケージ技術」の重要性が高まってきている。

#### 【0003】

ここで、上記「システム・イン・パッケージ技術」が適用された従来の半導体装置としては、特許文献1に記載の半導体装置が存在する。当該特許文献1に記載の半導体装置は、当該特許文献1の図1(a)に示されるように、メモリチップ14およびマイコンチップ15がそれぞれの回路面が対向しない状態で貼り合わされる。そして、メモリチップ14およびマイコンチップ15のそれぞれから導出された金属細線が、導電体である共通リード24を介して電氣的に接続される。これにより、当該メモリチップ14とマイコンチップ15とが電氣的に接続される。

#### 【0004】

##### 【特許文献1】

特開2003-23136号公報(第1図)

#### 【0005】

##### 【発明が解決しようとする課題】

しかしながら、上記従来の半導体装置では、導電体である共通リード24は、外部端子25やダイパッド4から独立した部品であるので、当該半導体装置内で固定されるために特許文献1の図1(a)に示される絶縁性材料26により固定されなければならなかった。その為、当該半導体装置では、部品点数が増加するという問題があった。さらに、当該半導体装置では、共通リード24が、メモリ

チップ14とマイコンチップ15との両方に対して金属細線により接続されるので、当該共通リード24をメモリチップ14とマイコンチップ15との両方に対して、精密に位置合わせしなくてはならなかった。このような共通リード24の精密な位置あわせは、当該半導体装置の迅速な製造の妨げとなっていた。

#### 【0006】

そこで、本発明の目的は、部品点数を押さえることができると共に、作成容易である複数の半導体チップが内部接続された半導体装置を提供することである。

#### 【0007】

##### 【課題を解決するための手段および発明の効果】

第1の発明は、それぞれが略同じ外形を有しており、かつそれぞれの一方の主面上に集積回路が形成された複数の半導体チップを積層配置して構成される半導体装置であって、

一部分に導電部分を含み、複数の半導体チップに対してさらに積層配置される非導電層と、

非導電層に設けられた導電部分を介して、複数の半導体チップの集積回路同士を内部接続する内部接続部分とを備え、

非導電層に設けられた導電部分は、複数の半導体チップの集積回路間の内部接続のみを中継することを特徴とする。

#### 【0008】

上記第1の発明によれば、非導電体の一部に導電部分が設けられているので、半導体チップ等の組み立て時に当該導電部分の位置合わせを別途行う必要がなくなる。また、当該導電部分は、非導電体に設けられているので、部品点数の削減にもつながる。さらに、当該導電部分は、半導体装置の外部接続には用いられないので、従来の半導体装置のように、内部接続の為に外部接続用のリード線が無駄にする必要がなくなる。

#### 【0009】

第2の発明は、第1の発明において、複数の半導体チップは、第1の半導体チップと第2の半導体チップとによって構成され、

内部接続部分は、

第1の半導体チップと導電部分とを接続する第1の接続部と、  
第2の半導体チップと導電部分とを接続する第2の接続部とを含む半導体装置。

【0010】

上記第2の発明によれば、第1の半導体チップと第2の半導体チップとにより構成される半導体装置において、互いの集積回路を内部接続することが可能となる。

【0011】

第3の発明は、第2の発明において、非導電層は、その主面に回路が形成されており、

第1の接続部が非導電層に対して接続されている導電部分と、第2の接続部が非導電層に対して接続されている導電部分とは、非導電層に含まれる回路によって導電可能となっていることを特徴とする。

【0012】

上記第3の発明によれば、非導電層の主面に回路が形成されているので、第1の接続部が接続されている部分と、第2の接続部が接続されている部分とが離れている場合であっても、当該回路により接続可能となる。その結果、第1の半導体チップの集積回路における出力部分と、第2の半導体チップの集積回路における出力部分とが離れた位置に存在する場合であっても、互いに内部接続させることが可能となる。

【0013】

第4の発明は、第3の発明において、非導電層は、両方の主面に回路が形成されていることを特徴とする。

【0014】

上記第4の発明によれば、上記回路が両方の面に形成されているので、内部接続の仕方にバリエーションを持たせることが可能となる。より具体的には、非導電層に形成された回路がクロスするような場合であっても、別々の主面にこれらの回路が形成されることにより、クロスせずにすむようになる。

【0015】

第5の発明は、第2の発明において、非導電層は、第1の半導体チップと第2の半導体チップとの間に積層配置されることを特徴とする。

【0016】

上記第5の発明によれば、当該半導体装置の厚みを薄くすることが可能となる。

【0017】

第6の発明は、第5の発明において、第1の半導体チップと第2の半導体チップとは、集積回路が形成されていない方の主面が非導電層を挟んで互いに対向するように積層配置されることを特徴とする。

【0018】

上記第6の発明によれば、半導体チップの集積回路が露出しているので、内部接続用のワイヤーを接続しやすくなる。

【0019】

第7の発明は、第6の発明において、第1の接続部は、第1の半導体チップの集積回路が形成された主面が向いている方向と同方向を向く主面上に形成された導電部分と接続されていることを特徴とする。

【0020】

上記第7の発明によれば、同方向を向いた面同士を内部接続部分により接続するので、ワイヤーを用いて容易に導電部分と集積回路とを接続することができるようになる。

【0021】

第8の発明は、第1の発明において、非導電層は、複数の半導体チップを載置するためのマウントであることを特徴とする。

【0022】

上記第8の発明によれば、非導電層がマウントを兼ねているので、部品点数が削減される。

【0023】

第9の発明は、第1の発明において、導電部分は、複数の半導体チップが非導電層と共に積層配置されたときに、複数の半導体チップの外形よりも外側に位置

する部分に導電体のめっきが施されることにより形成されることを特徴とする。

【0024】

第10の発明は、第9の発明において、導電体のめっきは、金属めっきであることを特徴とする。

【0025】

上記第10の発明によれば、金属めっきにより導電部分が形成されるので、安価でかつ簡単に当該導電部分の作成が可能となる。

【0026】

第11の発明は、第9の発明において、複数の半導体チップの外形よりも外側に位置する部分は、複数の半導体チップの外形から外側に非導電層の一部を突出させて形成された凸部であることを特徴とする。

【0027】

上記第11の発明によれば、非導電層の凸型に形成された部分が導電部分となるので、当該非導電体の近傍に当該導電部分を設けることが可能となる。その結果、半導体チップの集積回路と導電部分との距離を短くすることができる。

【0028】

第12の発明は、第9の発明において、複数の半導体チップおよび非導電層は、パッケージにより覆われており、

非導電層は、複数の半導体チップが載置される部分をパッケージに固定するための複数の支持部をさらに含み、

複数の支持部は、互いにブリッジによって連結されており、

半導体チップの外形よりも外側に位置する部分は、ブリッジであることを特徴とする。

【0029】

上記第12の発明によれば、導電部分がブリッジに設けられる。ブリッジは、複数の支持部を連結するように作成されるので、形状にバリエーションを持たせることが可能となる。その結果、導電部分の配置にもバリエーションを持たせることが可能となる。

【0030】

第13の発明は、第1の発明において、導電部分は、複数の半導体チップが非導電層に積層配置されたときに、複数の半導体チップの外形よりも外側に位置する部分に貫通した状態で形成された孔に対して、導電体が埋め込まれることにより形成されることを特徴とする。

#### 【0031】

上記第13の発明によれば、導電部分が導電体が埋め込まれることにより形成されるので、当該導電部分にめっきむらが発生することがない。その結果、第1の半導体チップと第2の半導体チップとの間の接続性がよくなる。

#### 【0032】

第14の発明は、第5の発明において、第1の接続部は、第1の半導体チップに貫通した孔が明けられて、孔に導電体が埋め込まれることにより形成され、

第2の接続部は、第2の半導体チップに貫通した孔が明けられて、孔に導電体が埋め込まれることにより形成され、

第1の接続部が形成される位置と第2の接続部が形成される位置とは、第1の半導体チップと第2の半導体チップとが積層された場合に一致する位置であって、

導電部分は、第1の半導体チップと第2の半導体チップとが積層されたときに、第1の接続部と第2の接続部とが非導電体に接触する位置に、貫通した孔が明けられて、孔に導電体が埋め込まれることによって作成されることを特徴とする。

#### 【0033】

上記第14の発明によれば、第1の接続部と第2の接続部とが孔に導電体が埋め込まれることによって形成されるので、これら2つの接続部が半導体チップ外にはみ出ない。その為、ワイヤーなどが用いられる場合に比べて、当該半導体装置をコンパクト化することができる。

#### 【0034】

第15の発明は、第13または14の発明において、導電部分として埋め込まれる導電体は、金属であることを特徴とする。

#### 【0035】

第16の発明は、第14の発明において、第1の接続部として導電体は、金属であることを特徴とする。

【0036】

第17の発明は、第5の発明において、第1の接続部は、第1の半導体チップに貫通した孔があけられて、孔に導電体が埋め込まれることにより形成され、

第2の接続部は、第2の半導体チップに貫通した孔があけられて、孔に導電体が埋め込まれることにより形成され、

非導電層は、

積層配置されたときに、第1の接続部に接触する位置に貫通した孔があけられて導電体が埋め込まれることにより形成される導電体部と、

積層配置されたときに第2の接続部が接触する部分と、導電体部とを電氣的に接続するように形成された回路とを含むことを特徴とする。

【0037】

上記第17の発明によれば、第1の接続部と第2の接続部とが孔に導電体が埋め込まれることによって形成されるので、これら2つの接続部が半導体チップ外にはみ出ない。その為、ワイヤーなどが用いられる場合に比べて、当該半導体装置をコンパクト化することができる。また、第1の接続部と第2の接続部とが離れた位置に形成される場合であっても、非導電層に回路がもうけられるので、第1の半導体チップと第2の半導体チップとを内部接続することが可能となる。

【0038】

第18の発明は、第2の発明において、第1の半導体チップは、その集積回路が形成されていない方の主面が非導電層の一方主面と対向するように積層配置され、

第2の半導体チップは、その集積回路が形成された主面が非導電層の他方主面と対向するように重ねて配置されることを特徴とする。

【0039】

上記第18の発明によれば、2つの半導体装置の集積回路が形成された面が同じ方向を向いている場合であっても、内部接続することが可能となる。

【0040】

第19の発明は、第18の発明において、第2の接続部は、第2の半導体チップ上に設けられた金属製のバンプであって、

非導電層は、

第2の半導体チップと非導電層とが積層配置されたときに、バンプが接触する部分に貫通した孔があげられて、孔に導電体が埋め込まれることにより形成される導電体部と、

第1の半導体チップが積層配置される側の主面内において、導電体部と第1の接続部とを導電可能な状態に接続する回路とを含む。

#### 【0041】

上記第19の発明によれば、2つの半導体装置の集積回路が形成された面が同じ方向を向いている場合であっても、内部接続することが可能となる。

#### 【0042】

第20の発明は、第2の発明において、第2の半導体チップは、集積回路が形成されていない方の主面が非導電層の主面に接触するように積層配置され、

第1の半導体チップと第2の半導体チップとの外形よりも小さな外形を持ち、第2の半導体チップの集積回路が形成された主面上に配置されるスペーサーをさらに備え、

第1の半導体チップは、集積回路が形成されていない方の主面がスペーサーの上部に接触するように積層配置されることを特徴とする。

#### 【0043】

上記第20の発明によれば、非導電層が2枚の半導体チップの下に存在する場合であっても、これら2枚の半導体チップを内部接続させることが可能となる。

#### 【0044】

第21の発明は、それぞれが略同じ外形を有しており、かつそれぞれの一方の主面上に集積回路が形成された複数の半導体チップを積層配置して構成される半導体装置であって、

第1の導電部分と第2の導電部分とを含み、複数の半導体チップに対してさらに積層配置される非導電層と、

非導電層に設けられた第1の導電部分を介して、複数の半導体チップの集積回



路同士を内部接続する内部接続部分とを備え、

非導電層に設けられた第2の導電部分は、複数の半導体チップに形成された集積回路と外部回路とを接続するための端子であることを特徴とする。

#### 【0045】

上記第21の発明によれば、導電部分が外部接続用の端子にもうけられているので、当該外部接続用の端子の位置決めがされると当該導電部分の位置決めも同時に行われる。また、導電部分が外部接続用の端子と一体化されているので、部品点数の削減が図られる。

#### 【0046】

##### 【発明の実施の形態】

本発明の各実施形態に係る半導体装置は、複数の半導体チップを含んでおり、当該複数の半導体チップの集積回路面が互いに内部接続されている。ここで、内部接続とは、複数の半導体チップを含む半導体装置において、各半導体チップの集積回路同士が連動して動作ができるように、互いの集積回路が当該半導体装置内部で接続されることである。それでは、以下に、このような複数の半導体チップが内部接続された各実施形態に係る半導体装置について説明する。

#### 【0047】

##### （第1の実施形態）

それでは、以下に、本発明の第1の実施形態に係る半導体装置について、図1および2を用いて説明する。

#### 【0048】

ここで、図1は、本実施形態に係る半導体装置の部品を示した図である。図1(a)は、第1の半導体チップ102の外観斜視図である。図1(b)は、ダイパッド107の外観斜視図である。図1(c)は、第2の半導体チップ103の外観斜視図であり、左側の図が表面を示し、右側の図が裏面を示す。本実施形態に係る半導体装置は、図1(a)に示される第1の半導体チップ102と、図1(b)に示されるダイパッド107と、図1(c)に示される第2の半導体チップ103とが貼り合わされることにより作成される。それでは、以下に、各部品の詳細について説明する。

## 【0049】

第1の半導体チップ102は、図1(a)の紙面表面方向の面に回路が形成されており、外部あるいは第2の半導体チップ103と接続するための接続パッド108を回路面内に含む。ダイパッド107は、第1の半導体チップ102および第2の半導体チップ103を載置するための非導電性のマウントである。当該ダイパッド107は、マウント部111と、当該マウント部111に設けられた導電性の接続部110を含んでいる。当該マウント部111は、第1の半導体チップ102および第2の半導体チップ103と略同じ外形をしており、図1の表面方向の面に第1の半導体チップ102が貼り合わされ、図1の裏面方向の面に第2の半導体チップ103が貼り合わされる。当該導電性の接続部110は、非導電体の凸部に金属めっきが施されることにより形成される。第2の半導体チップ103は、第1の半導体チップ102と略同サイズであって、図1(c)の紙面裏面方向の面に回路が形成されており、第1の半導体チップ102と同様に、外部あるいは第1の半導体チップ102と接続するための接続パッド109を回路面内に含む。

## 【0050】

それでは、以下に、本実施形態に係る半導体装置の構成について説明する。図2は、本実施形態に係る半導体装置の外観斜視図である。

## 【0051】

本実施形態に係る半導体装置は、パッケージ101、第1の半導体チップ102、第2の半導体チップ103、チップ間接続ワイヤー104a, b、外部接続ワイヤー105、外部導出リード106およびダイパッド107を備える。また、第1の半導体チップ102は、接続パッド108を含む。第2の半導体チップ103は、接続パッド109を含む。ダイパッド107は、マウント部111および接続部110を含む。なお、本実施形態に係る半導体装置では、ダイパッド107の外枠部分を省略してある。これは、当該部分は、パッケージ101でされた後にカットされるからである。また、接続部110付近を露出させるため、パッケージ101は、一部省略されている。

## 【0052】

パッケージ 101 は、第 1 の半導体チップ 102 等を保護するためのケースである。第 1 の半導体チップ 102 は、図 1 (a) に示される半導体チップである。第 2 の半導体チップ 103 は、図 1 (c) に示される半導体チップである。チップ間接続ワイヤー 104 a は、第 1 の半導体チップ 102 の接続パッド 108 と接続部 110 とを接続するための導電性のワイヤーである。また、チップ間接続ワイヤー 104 b は、第 2 の半導体チップ 103 の接続パッド 109 と接続部 110 とを接続するための導電性のワイヤーである。外部接続ワイヤー 105 は、第 1 の半導体チップ 102 と外部導出リード 106 とを接続するためまたは、第 2 の半導体チップ 103 と外部導出リード 106 とを接続するための導電性のワイヤーである。外部導出リード 106 は、当該半導体装置と外部の装置とを接続するためのリード線である。ダイパッド 107 は、図 1 (b) に示されるダイパッドである。接続パッド 108 は、図 1 (a) に示される第 1 の半導体チップ 102 の接続パッドである。接続パッド 109 は、第 2 の半導体チップ 103 の接続パッドである。接続部 110 は、ダイパッド 107 に形成された凸部に金属めっきが施されることにより形成された導電部分であり、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 との接続を仲介する。

#### 【0053】

以上のように構成された半導体装置について、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 との接続について説明する。

#### 【0054】

まず、第 1 の半導体チップ 102 は、ダイパッド 107 のマウント部 111 の表面に、その回路面が図 1 において紙面上向きとなるように貼り合わされる。次に、第 2 の半導体チップ 103 は、ダイパッド 107 のマウント部 111 の裏面に、その回路面が図 1 において紙面下向きとなるように貼り合わされる。すなわち、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 とは、ダイパッド 107 を挟んで互いに回路面が対向しないように貼り合わされる。

#### 【0055】

ここで、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 とを当該半導体装置内で接続させるために、第 1 の半導体チップ 102 の接続パッド 108 と

接続部 110 とがチップ間接続ワイヤー 104a により接続される。なお、チップ間接続ワイヤー 104a は、接続部 110 の面の内、第 1 の半導体チップ 102 の回路面と同方向を向いている面に対して接続されることが好ましい。

#### 【0056】

さらに、当該接続部 110 と第 2 の半導体チップ 103 の接続パッド 109 とがチップ間接続ワイヤー 104b により接続される。なお、チップ間接続ワイヤー 104b は、接続部 110 の面の内、第 2 の半導体チップ 103 の回路面と同方向を向いている面に対して接続されることが好ましい。これにより、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 とは、接続部 110 を介して内部接続される。

#### 【0057】

以上のように本実施形態に係る半導体装置よれば、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 との接続を中継する接続部 110 が、ダイパッド 107 のマウント部 111 に設けられているので、当該接続部 110 を設けるために新たな支持部材を使用する必要がなくなる。その結果、当該半導体装置の部品点数の削減を図ることが可能となる。

#### 【0058】

また、本実施形態に係る半導体装置によれば、接続部 110 がマウント部 111 に設けられているので、当該ダイパッド 107 の製造段階で、接続部 110 と接続パッド 108 および 109 との位置合わせを行うことができる。その為、組み立て段階において、これらの位置関係を意識する必要がなくなる。

#### 【0059】

また、第 1 の半導体チップ 102 上にある接続パッド 108 と第 2 の半導体チップ 103 上にある接続パッド 109 とを内部接続する際に、外部導出リード 106 を介して接続しなくてすむ。その結果、サージの影響を受けにくくなる。

#### 【0060】

また、本実施形態に係る半導体装置によれば、第 1 の半導体チップ 102 と接続部 110 とが同方向を向いた面同士でチップ間接続ワイヤー 104a によって接続され、さらに、第 2 の半導体チップ 103 と接続部 110 とが同方向を向い

た面同士でチップ間接続ワイヤー 104b によって接続されることにより、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 とが接続される。その為、各ワイヤーの接続作業が簡単な作業で済む。

#### 【0061】

なお、本実施形態に係る半導体装置によれば、接続部 110 の形状は凸型であるが、当該接続部 110 の形状はこれに限られない。

#### 【0062】

なお、本実施形態に係る半導体装置では、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 との間に挟まれる非導電体は、ダイパッド 107 であるとしたが、当該非導電体は、ダイパッド 107 に限られない。より具体的には、当該非導電体は、図 3 (b) に示されるような、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 と略同サイズであって、導電部分である接続部 121 が形成された非導電体であってもよい。この場合、第 1 の半導体チップ 102 と、非導電体 120 と、第 2 の半導体チップ 103 とが順に重ねて貼り合わされて、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 とが接続部 121 を介してワイヤーによって接続される。これにより、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 とが内部接続された半導体アセンブリが完成する。さらに、完成した当該半導体アセンブリがダイパッド上に載置されて、外部導出リードと接続されることで、図 2 の半導体装置と同様の性能を持った半導体装置を作成することができる。

#### 【0063】

当該図 3 に示される非導電体 120 が適用された半導体アセンブリによれば、第 1 の半導体チップ 102 と第 2 の半導体チップ 103 とが接続された後に、ダイパッド上に固定されるので、当該半導体アセンブリを搭載する装置の設計の自由度を広げることが可能となる。

#### 【0064】

##### (第 2 の実施形態)

それでは、以下に、本発明の第 2 の実施形態に係る半導体装置について、図 4 および 5 を用いて説明する。

**【0065】**

ここで、図4は、本実施形態に係る半導体装置の部品を示した図である。図4(a)は、第1の半導体チップ202の外観斜視図である。図4(b)は、ダイパッド207の外観斜視図である。図4(c)は、第2の半導体チップ203の外観斜視図であり、左側の図は表面を示し、右側の図は裏面を示している。本実施形態に係る半導体装置は、図4(a)に示される第1の半導体チップ202と、図4(b)に示されるダイパッド207と、図4(c)に示される第2の半導体チップ203とが貼り合わされることにより作成される。それでは、以下に、各部品の詳細について説明する。

**【0066】**

ここで、当該第1の半導体チップ202と第2の半導体チップ203とは、第1の実施形態の第1の半導体チップ102と第2の半導体チップ103と同じであるので説明を省略する。

**【0067】**

ダイパッド207は、第1の半導体チップ202および第2の半導体チップ203を載置するための非導電性のマウントである。当該ダイパッド207は、マウント部212とブリッジ210とを含む。マウント部212は、第1の実施形態のマウント部111と同様であるので説明を省略する。また、当該ブリッジ210は、導電性の接続部211を含んでいる。当該導電性の接続部211は、ブリッジの一部に金属めっきが施されることにより形成される。

**【0068】**

それでは、以下に、本実施形態に係る半導体装置の構成について説明する。図5は、本実施形態に係る半導体装置の外観斜視図である。

**【0069】**

本実施形態に係る半導体装置は、パッケージ201、第1の半導体チップ202、第2の半導体チップ203、チップ間接続ワイヤー204a, b、外部接続ワイヤー205、外部導出リード206およびダイパッド207を備える。また、第1の半導体チップ202は、接続パッド208を含む。第2の半導体チップ203は、接続パッド209を含む。ダイパッド207は、ブリッジ210と、

当該ブリッジ 210 上に形成された接続部 211 とを含む。なお、本実施形態に係る半導体装置は、第 1 の実施形態と同様に、ダイパッド 207 の一部およびパッケージ 201 の一部を省略している。

#### 【0070】

ここで、パッケージ 201、第 1 の半導体チップ 202、第 2 の半導体チップ 203、チップ間接続ワイヤー 204 a, b、外部接続ワイヤー 205、外部導出リード 206、接続パッド 208 および接続パッド 209 は、第 1 の実施形態に係るこれらのものと同様であるので説明を省略する。

#### 【0071】

ダイパッド 207 は、第 1 の実施形態と同様に半導体チップを載置するためのマウントであり、ブリッジ 210 を含む。ブリッジ 210 は、半導体チップを搭載するためのマウント部 212 と外枠とをつなぐ 4 本の橋架け部分の間をつなぐように形成される。接続部 211 は、当該ブリッジ 210 上に、形成される導体部分であり、第 1 の半導体チップ 202 と第 2 の半導体チップ 203 との内部接続を仲介する。

#### 【0072】

以上のように構成された半導体装置について、第 1 の半導体チップ 202 と第 2 の半導体チップ 203 との内部接続について説明する。

#### 【0073】

まず、第 1 の半導体チップ 202 は、ダイパッド 207 のマウント部 212 の表面に、その回路面が図 4 において紙面上向きとなるように貼り合わされる。次に、第 2 の半導体チップ 203 は、ダイパッド 207 のマウント部 212 の裏面に、その回路面が図 4 において紙面下向きとなるように貼り合わされる。すなわち、第 1 の半導体チップ 202 と第 2 の半導体チップ 203 とは、ダイパッド 207 を挟んで互いに回路面が対向しないように貼り合わされる。

#### 【0074】

ここで、第 1 の半導体チップ 202 と第 2 の半導体チップ 203 とを当該半導体装置内で接続させるために、第 1 の半導体チップ 202 上にある第 1 の半導体チップ 202 の接続パッド 208 と接続部 211 とがチップ間接続ワイヤー 20

4 a により接続される。なお、チップ間接続ワイヤー 204 a は、接続部 211 の面の内、第 1 の半導体チップ 202 の回路面と同方向を向いている面に対して接続されることが好ましい。

#### 【0075】

さらに、当該接続部 211 と第 2 の半導体チップ 203 の接続パッド 209 とがチップ間接続ワイヤー 204 b により接続される。なお、チップ間接続ワイヤー 204 b は、接続部 211 の面の内、第 2 の半導体チップ 203 の回路面と同方向を向いている面に対して接続されることが好ましい。これにより、第 1 の半導体チップ 202 と第 2 の半導体チップ 203 とは、接続部 211 を介し内部接続される。

#### 【0076】

以上のように本実施形態に係る半導体装置よれば、第 1 の半導体チップ 202 と第 2 の半導体チップ 203 との内部接続を中継する接続部 211 が、ダイパッド 207 の一部であるブリッジ 210 上に設けられているので、当該接続部 211 を設けるための新たな支持部材を使用する必要がなくなる。その結果、当該半導体装置の部品点数の削減を図ることが可能となる。

#### 【0077】

また、本実施形態に係る半導体装置によれば、接続部 211 がブリッジ 210 に設けられているので、当該ダイパッド 207 の製造段階で、接続部 211 と接続パッド 208 および 209 との位置合わせを行うことができる。その為、第 1 の実施形態と同様に、組み立て段階において、これらの位置関係を意識する必要がなくなる。

#### 【0078】

また、本実施形態に係る半導体装置によれば、第 1 の実施形態と同様に、外部導出リード 206 を介して接続しなくてすむ。その結果、サージの影響を受けにくくなる。

#### 【0079】

また、本実施形態に係る半導体装置によれば、第 1 の実施形態と同様に各ワイヤーの接続作業が簡単な作業で済む。



**【0080】**

また、本実施形態に係る半導体装置によれば、ブリッジ210上の接続部211とチップ間接続ワイヤー204a, bとを接続する際に、チップ間接続に自由度を持たせることができる。

**【0081】**

なお、本実施形態に係る半導体装置においても、第1の実施形態に係る半導体装置と同様に半導体アセンブリを作成することは可能である。

**【0082】**

(第3の実施形態)

それでは、以下に、本発明の第3の実施形態に係る半導体装置について、図6および7を用いて説明する。

**【0083】**

ここで、図6は、本実施形態に係る半導体装置の部品を示した図である。図6(a)は、第1の半導体チップ302の外観斜視図である。図6(b)は、ダイパッド307の外観斜視図である。図6(c)は、第2の半導体チップ303の外観斜視図であり、左側の図は表面を示し、右側の図は裏面を示している。本実施形態に係る半導体装置は、図6(a)に示される第1の半導体チップ302と、図6(b)に示されるダイパッド307と、図6(c)に示される第2の半導体チップ303とが貼り合わされることにより作成される。それでは、以下に、各部品の詳細について説明する。

**【0084】**

ここで、当該第1の半導体チップ302と第2の半導体チップ303とは、第1の実施形態の第1の半導体チップ102と第2の半導体チップ103と同じであるので説明を省略する。

**【0085】**

ダイパッド307は、第1の半導体チップ302および第2の半導体チップ303を載置するための非導電性のマウントである。当該ダイパッド307は、図6(b)に示される様に第1の半導体チップ302および第2の半導体チップ303が載置されるマウント部311が第1の実施形態および第2の実施形態のマ

ウント部よりも大きい。そして、当該マウント部 311 の端の近傍には、接続部 310 が設けられる。当該接続部 310 は、マウント部 311 の端の近傍に孔が明けられて、当該孔に金属辺がはめこまれることにより形成される。

#### 【0086】

それでは、以下に、本実施形態に係る半導体装置の構成について説明する。図 7 は、本実施形態に係る半導体装置の外観斜視図である。

#### 【0087】

本実施形態に係る半導体装置は、パッケージ 301、第 1 の半導体チップ 302、第 2 の半導体チップ 303、チップ間接続ワイヤー 304 a, b、外部接続ワイヤー 305、外部導出リード 306 およびダイパッド 307 を備える。また、第 1 の半導体チップ 302 は、接続パッド 308 を含む。第 2 の半導体チップ 303 は、接続パッド 309 を含む。ダイパッド 307 は、中央に第 1 の半導体チップ 302 および第 2 の半導体チップ 303 を載置するためのマウント部 311 と、当該マウント部 311 に形成された接続部 310 を含む。なお、本実施形態に係る半導体装置では、第 1 の実施形態と同様に、ダイパッド 307 一部およびパッケージ 301 の一部が省略されている。

#### 【0088】

ここで、パッケージ 301、第 1 の半導体チップ 302、第 2 の半導体チップ 303、チップ間接続ワイヤー 304 a, b、外部接続ワイヤー 305、外部導出リード 306、接続パッド 308 および接続パッド 309 は、第 1 の実施形態に係るこれらのものと同様であるので説明を省略する。

#### 【0089】

ここで、ダイパッド 307 は、第 1 の実施形態と同様に半導体チップを載置するためのマウントであり、接続部 310 を含む。当該ダイパッド 307 は、接続部 310 が第 1 の半導体チップ 302 および第 2 の半導体チップ 303 からはみ出すように、当該第 1 の半導体チップ 302 および第 2 の半導体チップ 303 と貼り合わされる。接続部 310 は、第 1 の実施形態と同様に第 1 の半導体チップ 302 と第 2 の半導体チップ 303 との内部接続を仲介する。

#### 【0090】

以上のように構成された半導体装置について、第1の半導体チップ302と第2の半導体チップ303との内部接続について説明する。

#### 【0091】

まず、第1の半導体チップ302は、ダイパッド307のマウント部311の表面に、その回路面が図6において紙面上向きとなるように貼り合わされる。次に、第2の半導体チップ303は、ダイパッド307のマウント部311の裏面に、その回路面が図6において紙面下向きとなるように貼り合わされる。すなわち、第1の半導体チップ302と第2の半導体チップ303とは、ダイパッド307を挟んで互いに回路面が対向しないように貼り合わされる。

#### 【0092】

ここで、第1の半導体チップ302と第2の半導体チップ303とを当該半導体装置内で接続させるために、第1の半導体チップ302上にある第1の半導体チップ302の接続パッド308と接続部310とがチップ間接続ワイヤー304aにより接続される。なお、チップ間接続ワイヤー304aは、接続部310の面の内、第1の半導体チップ302の回路面と同方向を向いている面に対して接続されることが好ましい。

#### 【0093】

さらに、当該接続部310と第2の半導体チップ303の接続パッド309とがチップ間接続ワイヤー304bにより接続される。なお、チップ間接続ワイヤー304bは、接続部310の面の内、第2の半導体チップ303の回路面と同方向を向いている面に対して接続されることが好ましい。これにより、第1の半導体チップ302と第2の半導体チップ303とは、接続部310を介して内部接続される。

#### 【0094】

以上のように本実施形態に係る半導体装置よれば、第1の半導体チップ302と第2の半導体チップ303との内部接続を中継する接続部310が、ダイパッド307上に設けられているので、当該接続部310を設けるための新たな支持部材を使用する必要がなくなる。その結果、当該半導体装置の部品点数の削減を図ることが可能となる。

**【0095】**

また、本実施形態に係る半導体装置によれば、接続部310がダイパッド307に設けられているので、当該ダイパッド307の製造段階で、接続部310と接続パッド308および309との位置合わせを行うことができる。その為、第1の実施形態と同様に、組み立て段階において、これらの位置関係を意識する必要がなくなる。

**【0096】**

また、本実施形態に係る半導体装置によれば、第1の実施形態と同様に、サージの影響を受けにくくなる。

**【0097】**

また、本実施形態に係る半導体装置によれば、第1の実施形態と同様に各ワイヤーの接続作業が簡単な作業で済む。

**【0098】**

また、本実施形態に係る半導体装置によれば、ダイパッド307に孔が明けられて、当該孔に金属片が埋め込まれることにより接続部310が形成される。その為、当該接続部310にめっきむらが発生することがなくなり、ワイヤーとの接続性が向上する。

**【0099】**

なお、本実施形態に係る半導体装置においても、第1の実施形態に係る半導体装置と同様に半導体アセンブリを作成することは可能である。

**【0100】**

ここで、上記第1～第3の実施形態では、第1の半導体チップと第2の半導体チップとの内部接続を仲介する接続部をダイパッド上に設けるものについて説明したが、当該接続部が設けられる場所はダイパッドに限られない。そこで、以下の第4の実施形態において、ダイパッド以外の場所に接続部が設けられた半導体装置について説明する。

**【0101】**

(第4の実施形態)

それでは、以下に本発明の第4の実施形態に係る半導体装置について図8を参

照しながら説明する。

#### 【0102】

図8は、本実施形態に係る半導体装置の外観斜視図である。本実施形態に係る半導体装置は、パッケージ401、第1の半導体チップ402、第2の半導体チップ403、チップ間接続ワイヤー404a、b、外部接続ワイヤー405、外部導出リード406およびダイパッド407を備える。

#### 【0103】

パッケージ401、チップ間接続ワイヤー404a、bおよび外部接続ワイヤー405は、第1の実施形態に係るこれらのものと同じであるので説明を省略する。第1の半導体チップ402は、第1の実施形態に係る第1の半導体チップ102と同様に、一方の面に回路面が形成されており、当該回路面内に接続パッド408を含んでいる。また、同様に、第2の半導体チップ403は、第1の実施形態に係る第2の半導体チップ103と同様に、一方の面に回路面が形成されており、当該回路面内に接続パッド409を含んでいる。

#### 【0104】

ここで、本実施形態に係る外部導出リード406について説明する。本実施形態に係る外部導出リード406は、第1の実施形態に係る外部導出リード106と同様の形状をした非導電体によって作成される。そして、当該外部導出リード406の半導体装置側の部分に金属めっきが施されることにより、第1の半導体チップ402と第2の半導体チップ403との内部接続を仲介する接続部410が形成される。また、当該外部導出リード406の外部接続される部分に金属めっきがほどこされることにより、当該半導体装置と外部とを接続するための外部接続部411が形成される。なお、図8に示されるように、接続部410と外部接続部411とは、非導電部分を介して絶縁されている。

#### 【0105】

それでは、以下に、本実施形態に係る半導体装置の第1の半導体チップ402と第2の半導体チップ403との接続について説明する。

#### 【0106】

まず、第1の半導体チップ402は、ダイパッド407のマウント部の表面に

、その回路面が図8において紙面上向きとなるように貼り合わされる。次に、第2の半導体チップ403は、ダイパッド407のマウント部の裏面に、その回路面が図8において紙面下向きとなるように貼り合わされる。すなわち、第1の半導体チップ402と第2の半導体チップ403とは、ダイパッド407を挟んで互いに回路面が対向しないように貼り合わされる。

#### 【0107】

ここで、第1の半導体チップ402と第2の半導体チップ403とを当該半導体装置内で接続させるために、第1の半導体チップ402上にある第1の半導体チップ402の接続パッド408と接続部410とがチップ間接続ワイヤー404aにより接続される。なお、チップ間接続ワイヤー404aは、接続部410の面の内、第1の半導体チップ402の回路面と同方向を向いている面に対して接続されることが好ましい。

#### 【0108】

さらに、当該接続部411と第2の半導体チップ403の接続パッド409とがチップ間接続ワイヤー404bにより接続される。なお、チップ間接続ワイヤー404bは、接続部410の面の内、第2の半導体チップ403の回路面と同方向を向いている面に対して接続されることが好ましい。これにより、第1の半導体チップ402と第2の半導体チップ403とは、接続部410を介して内部接続される。

#### 【0109】

以上のように本実施形態に係る半導体装置よれば、非導電体で作成された外部導出リード406に金属めっきを施すことで、接続部410と外部接続部411とが形成されるので、当該接続部410は、外部導出リード406の一部となっている。その為、当該接続部410を支持するための新たな部材を設ける必要がなくなる。その結果、第1の実施形態と同様に、当該半導体装置の部品点数を削減することが可能となる。

#### 【0110】

また、本実施形態に係る半導体装置によれば、外部導出リード406の位置合わせが行われることにより、同時に当該接続部410の位置合わせも行われるこ

となる。その結果、当該接続部 410 について、組み立て段階に特別に位置合わせを行う必要がなくなる。

#### 【0111】

また、本実施形態に係る半導体装置によれば、第 1 の実施形態で用いられているような金属製の外部導出リード 106 を介して接続しなくてすむ。その結果、サージの影響を受けにくくなる。

#### 【0112】

また、本実施形態に係る半導体装置によれば、第 1 の実施形態と同様に各ワイヤーの接続作業が簡単な作業で済む。

#### 【0113】

また、本実施形態に係る半導体装置によれば、リードフレームの形状を変更させる必要がないので、当該リードフレームの形状の再設計の必要がなくなる。

#### 【0114】

ここで、上記第 1 ～ 第 4 の実施形態に係る半導体装置では、第 1 の半導体チップと第 2 の半導体チップとが接続部を介して内部接続されていたので、第 1 の半導体チップの接続パッドと第 2 の半導体の接続パッドとは当該接続部の近傍でなくてはいけない。その為、上記第 1 ～ 第 4 の半導体装置では、第 1 の半導体チップの接続パッドと第 2 の半導体チップの接続パッドとが離れている場合には、これらを接続することは困難であった。

#### 【0115】

そこで、第 5 の実施形態では、第 1 の半導体チップの接続パッドと第 2 の半導体チップの接続パッドとが離れている場合であっても、これらを内部接続可能とする半導体装置について説明する。

#### 【0116】

(第 5 の実施形態)

それでは、以下に、本発明の第 5 の実施形態に係る半導体装置について、図 9 および図 10 を用いて説明する。

#### 【0117】

ここで、図 9 は、本実施形態に係る半導体装置の部品を示した図である。図 9

(a) は、第1の半導体チップ502の外観斜視図である。図9(b)は、ダイパッド507の外観斜視図である。図9(c)は、第2の半導体チップ503の外観斜視図であり、左側の図は当該第2の半導体チップ503の表面を示し、右側の図は当該第2の半導体チップ503の裏面を示している。本実施形態に係る半導体装置は、図9(a)に示される第1の半導体チップ502と、図9(b)に示されるダイパッド507と、図9(c)に示される第2の半導体チップ503とが貼り合わされることにより作成される。それでは、以下に、各部品の詳細について説明する。

#### 【0118】

ここで、当該第1の半導体チップ502は、第1の実施形態の第1の半導体チップ102と同じであるので説明を省略する。

#### 【0119】

第2の半導体チップ503は、図9(c)に示される様に、接続パッド509aおよびbを含む。本実施形態に係る第2の半導体チップ503は、接続パッド509aおよびbの配置される場所が、積層された場合に、第1の半導体チップ502の接続パッド508aおよびbの近傍ではない点で、第1の実施形態のものと異なる。

#### 【0120】

ダイパッド507は、第1の半導体チップ502および第2の半導体チップ503を載置するための非導電性のマウントであり、マウント部512、接続部510a～d、メタル配線511a, bおよびマウント部512を含む。マウント部512には、第1の半導体チップ502および第2の半導体チップ503が載置され、接続部510a～dおよびメタル配線a, bを含む。接続部510a～dは、非導電体の凸部に金属めっきが施されることにより形成される。当該接続部510aは、第1の半導体チップ502の接続パッド508aと接続される。当該接続部510bは、第1の半導体チップ502の接続パッド508bと接続される。当該接続部510cは、第2の半導体チップ503の接続パッド509aと接続される。当該接続部510dは、第2の半導体チップ503の接続パッド509bと接続される。



**【0121】**

さらに、メタル配線 a は、接続部 510 a と接続部 510 c とを接続する配線であり、金属めっきにより形成される。また、同様に、当該ダイパッド 507 のマウント部 512 には、接続部 510 b と接続部 510 d とを接続するためのメタル配線 511 b が金属めっきにより形成されている。

**【0122】**

それでは、以下に、本実施形態に係る半導体装置の構成について説明する。図 10 は、本実施形態に係る半導体装置の外観斜視図である。

**【0123】**

本実施形態に係る半導体装置は、第 1 の半導体チップ 502、第 2 の半導体チップ 503、チップ間接続ワイヤー 504 a～d、外部接続ワイヤー 505、外部導出リード 506 およびダイパッド 507 を備える。また、第 1 の半導体チップ 502 は、接続パッド 508 a および b を含む。第 2 の半導体チップ 503 は、接続パッド 509 a および b を含む。ダイパッド 507 は、接続部 510 a～d とメタル配線 511 a および b とを備える。なお、図 10 に示される半導体装置では、ダイパッド 507 の一部およびパッケージ 501 は省略されている。

**【0124】**

ここで、外部接続ワイヤー 505 および外部導出リード 506 は、第 1 の実施形態に係るこれらのものと同様であるので説明を省略する。また、第 1 の半導体チップ 502、第 2 の半導体チップ 503 およびダイパッド 507 は、すでに説明したのでその説明を省略する。さらに、接続パッド 508 a および b、接続パッド 509 a および b、接続部 510 a～d ならびにメタル配線 511 a および b についても、すでに説明したのでその説明を省略する。

**【0125】**

ここで、本実施形態に係るチップ間接続ワイヤー 504 a は、接続パッド 508 a と接続部 510 a とを接続する。チップ間接続ワイヤー 504 b は、接続パッド 508 b と 510 b とを接続する。チップ間接続ワイヤー 504 c は、接続パッド 509 a と接続部 510 c とを接続する。チップ間接続ワイヤー 504 d は、接続パッド 509 b と接続部 510 d とを接続する。

**【0126】**

以上のように構成された半導体装置について、第1の半導体チップ502と第2の半導体チップ503との内部接続について説明する。

**【0127】**

まず、第1の半導体チップ502は、ダイパッド507のマウント部512の表面に、その回路面が図9において紙面上向きとなるように貼り合わされる。ここで、第1の半導体チップ502とダイパッド507とが貼り合わされる場合には、非導電性の接着剤が用いられる。これは、ダイパッド507上に形成されたメタル配線511aおよびbと第1の半導体チップ502とがショートすることを防止するためである。

**【0128】**

次に、第2の半導体チップ503は、ダイパッド507のマウント部512の裏面に、その回路面が図9において紙面下向きとなるように貼り合わされる。すなわち、第1の半導体チップ502と第2の半導体チップ503とは、ダイパッド507を挟んで互いに回路面が対向しないように貼り合わされる。

**【0129】**

ここで、第1の半導体チップ502と第2の半導体チップ503とを当該半導体装置内で接続させるために、第1の半導体チップ502の接続パッド508aと接続部510aとがチップ間接続ワイヤー504aにより接続される。さらに、当該接続部510aと第2の半導体チップ503の接続パッド509aとがチップ間接続ワイヤー504cにより接続される。これにより、第1の半導体チップ502の接続パッド508aと第2の半導体チップ503の接続パッド509cとは、接続部510aとメタル配線511aと接続パッド508cとを介して電氣的に接続される。なお、チップ間接続ワイヤー504aは、接続部510aの面の内、第1の半導体チップ502の回路面と同方向を向いている面に対して接続されることが好ましい。同様に、チップ間接続ワイヤー504cは、接続部510cの面の内、第2の半導体チップ503の回路面と同方向を向いている面に対して接続されることが好ましい。

**【0130】**

さらに、第1の半導体チップ502と第2の半導体チップ503とを当該半導体装置内で接続させるために、第1の半導体チップ502の接続パッド508bと接続部510bとがチップ間接続ワイヤー504bにより接続される。さらに、当該接続部510cと第2の半導体チップ503の接続パッド509bとがチップ間接続ワイヤー504dにより接続される。これにより、第1の半導体チップ502の接続パッド508bと第2の半導体チップ503の接続パッド509dとは、接続部510bとメタル配線511bと接続パッド508dとを介して内部接続される。なお、チップ間接続ワイヤー504bは、接続部510bの面の内、第1の半導体チップ502の回路面と同方向を向いている面に対して接続されることが好ましい。同様に、チップ間接続ワイヤーdは、接続部510dの面の内、第2の半導体チップ503の回路面と同方向を向いている面に対して接続されていることが好ましい。

#### 【0131】

以上のように、本実施形態に係る半導体装置によれば、ダイパッド507にメタル配線が形成されているので、第1の実施形態に係る半導体装置の効果に加えて、さらに、接続させたい接続チップの位置が離れている場合であっても、第1の半導体チップ502と第2の半導体チップ503を内部接続させることが可能となるという効果を有する。

#### 【0132】

なお、本実施形態では、第1の半導体チップ502とダイパッド507のメタル配線511aおよびbとを絶縁するために、第1の半導体チップ502とダイパッド507とは、非導電性の接着剤により貼り合わせるものとしているが、第1の半導体チップ502とダイパッド507のメタル配線511aおよびbとを絶縁する方法は、これに限られない。より具体的には、ダイパッド507のマウント部512のメタル配線511aおよびbが形成された主面上に、非導電性のフィルムが貼り付けられて、その後に、第1の半導体チップ502が貼り合わされてもよい。また、非導電性のフィルムの代わりに、ダイパッド507と同じ非導電体の板が、メタル配線511aおよびbが形成されたマウント部512に貼り付けられてもよい。

**【0133】**

なお、本実施形態に係る半導体装置では、ダイパッド507の一方の面にのみメタル配線が施されるものについて説明したが、当該メタル配線は、図11に示される様に、ダイパッド507の両面に施されてもよい。図11は、ダイパッド507の両面にメタル配線551aと551bとが施された半導体装置の各部品の外観斜視図である。図11に示されるように、メタル配線551aは、接続部510bと510cとを接続している。一方、メタル配線551bは、当該メタル配線551aが形成された面の反対側の面において、接続部510aと510dとを接続している。

**【0134】**

このように、両面にメタル配線が施されることにより、同一面内に形成されたら互いのメタル配線が交差するような場合であっても、これらを交差させることなく配線することが可能となる。その結果、当該半導体装置の回路設計に大きな幅を持たせることが可能となる。

**【0135】**

なお、本実施形態では、第1の実施形態に係る半導体装置のダイパッドにメタル配線が形成されるものについてのみ説明を行ったが、当該メタル配線が形成されたダイパッドが適用される半導体装置はこれに限られない。例えば、第2および第3の実施形態に記載の半導体装置に対しても当該メタル配線が形成されたダイパッドは適用可能である。さらに、当該ダイパッドは、第1～第3の実施形態で説明した半導体アセンブリに対しても適用可能である。

**【0136】**

ここで、上記第1～第5の実施形態では、第1の半導体チップの接続パッドと接続部とは、ワイヤーによって接続されている。また、同様に、第2の半導体チップと接続部とも、ワイヤーによって接続されている。

**【0137】**

しかしながら、これらのものを接続するものは、ワイヤーに限られない。そこで、以下に示す第6の実施形態に係る半導体装置では、ワイヤーを用いずに半導体チップが接続された半導体装置について説明する。

**【0138】**

(第6の実施形態)

それでは、以下に、本発明の第6の実施形態に係る半導体装置について図12および図13を用いて説明する。

**【0139】**

図12は、本実施形態に係る半導体装置の各部品の構成を示した図である。図12(a)は、第1の半導体チップ601の外観斜視図である。図12(b)は、ダイパッド602の外観斜視図である。なお、当該図12(b)に示されるダイパッドは、半導体チップが載置されるマウント部のみが示されており、その他の部分は省略されている。図12(c)は、第2の半導体チップ603の外観斜視図である。図13は、第1の半導体チップ601、ダイパッド602および第2の半導体チップ603が組み上げられた半導体装置の外観斜視図である。なお、当該図13に示される半導体装置では、外部接続リードやパッケージは省略されている。

**【0140】**

まず、第1の半導体チップ601は、図12(a)の表面方向の面に回路が形成されている。さらに、当該第1の半導体チップ601には、貫通した孔がけられており、当該孔には金属片605a～cが埋め込まれている。

**【0141】**

次に、ダイパッド602には、第1の半導体チップ601が重ねられたときに、上記金属片605a～cが接触する部分に貫通した孔がけられており、当該孔に金属片606a～cが埋め込まれている。さらに、当該ダイパッド602の裏面には、金属片606a～cと電氣的に接続されたメタル配線607a～cが、金属めっきにより形成されている。

**【0142】**

次に、第2の半導体チップ603には、図12(c)の裏面方向の面に回路が形成されている。さらに、当該第2の半導体チップには、ダイパッド602が重ねられたときに、上記メタル配線607a～cが接触する部分に貫通した孔がけられており、当該孔に金属片608a～cが埋め込まれている。

## 【0143】

それでは、以下に、当該第1の半導体チップ601、ダイパッド602および第2の半導体チップ603を備える半導体装置について、図13を用いて説明する。

## 【0144】

まず、第1の半導体チップ601は、ダイパッド602のマウント部の表面に、その回路面が図12において紙面上向きとなるように貼り合わされる。次に、第2の半導体チップ603は、ダイパッド602のマウント部の裏面に、その回路面が図12において紙面下向きとなるように貼り合わされる。すなわち、第1の半導体チップ601と第2の半導体チップ603とは、ダイパッド602を挟んで互いに回路面が対向しないように貼り合わされる。ここで、当該第2の半導体チップ603とダイパッド602とは、非導電性の接着剤により貼り合わされる。これは、メタル配線607a～cと第2の半導体チップ603とがショートしないようにするためにである。

## 【0145】

ここで、上述したように、第1の半導体チップ601の金属片605a～cと、ダイパッド602の金属片606a～cとは、接触するように配置されている。さらに、ダイパッド602のメタル配線607a～cと、第2の半導体チップ603とは、接触するように配置されている。すなわち、図13に示される半導体装置が組み上げられることにより、第1の半導体チップ601と第2の半導体チップ603とは、当該半導体装置内で電氣的に接続される。

## 【0146】

以上のように、本実施形態に係る半導体装置によれば、第1の実施形態に係る半導体装置の有する効果に加えて、金属片とメタル配線によって各半導体チップが接続されるので、ワイヤーが外部にはみ出ることがなくなる。その結果、当該半導体装置をコンパクト化させることが可能となる。

## 【0147】

なお、第1～第6の実施形態において、第1の半導体チップと第2の半導体チップとは、回路面が対向しないように背中併せに貼り合わされているが、第1の

半導体チップと第2の半導体チップとの貼り合せ方法はこれに限られない。

#### 【0148】

そこで、以下に説明する第7の実施形態では、第1～第6の実施形態での貼り合せ方法と異なる方法によって、2枚の半導体チップが貼り合わされた半導体装置について説明する。

#### 【0149】

(第7の実施形態)

それでは、以下に本発明の第7の実施形態に係る半導体装置について、図14を参照しながら説明する。図14は、本実施形態に係る半導体装置の断面図である。

#### 【0150】

まず、本実施形態に係る半導体装置は、パッケージ701、第1の半導体チップ702、第2の半導体チップ703、チップ間接続ワイヤー704aおよびb、外部導出リード706、ダイパッド707ならびにスペーサー715を備える。

#### 【0151】

パッケージ701、チップ間接続ワイヤー704aおよびbならびに外部導出リード706については、第1の実施形態に係るこれらのものと同様であるので説明を省略する。

#### 【0152】

第1の半導体チップ702は、図14から見て上側の主面に回路面が形成されており、当該回路面には、接続パッド708が形成されている。第2の半導体チップ703は、図14から見て上側の主面に回路面が形成されており、当該回路面には、接続パッド709が形成されている。

#### 【0153】

ダイパッド707は、第1の半導体チップ702および第2の半導体チップ703を載置するためのマウントであって、不導体によって形成され、その一部に接続部710を含む。なお、当該ダイパッド707は、第1の半導体チップ702および第2の半導体チップ703よりも大きな形状を有する。

## 【0 1 5 4】

上記接続部 7 1 0 は、上記ダイパッド 7 0 7 の一部に金属めっきが施されることにより形成され、第 1 の半導体チップ 7 0 2 と第 2 の半導体チップ 7 0 3 との間の接続を仲介する。スペーサー 7 1 5 は、第 2 の半導体チップ 7 0 3 の接続パッド 7 0 8 にチップ間接続ワイヤー 7 0 4 b を接続可能ならしめるべく、第 1 の半導体チップ 7 0 2 と第 2 の半導体チップ 7 0 3 との間に隙間を作るものである。なお、当該スペーサー 7 1 5 は、第 1 の半導体チップ 7 0 2 および第 2 の半導体チップ 7 0 3 より小さな非導電体によって形成される。

## 【0 1 5 5】

以上のように構成された本実施形態に係る半導体装置について、以下に、第 1 の半導体チップ 7 0 2 と第 2 の半導体チップ 7 0 3 との接続について説明する。

## 【0 1 5 6】

まず、第 2 の半導体チップ 7 0 3 は、ダイパッド 7 0 7 上に、形成された回路面が図 1 4 の上方向を向くように貼り付けられる。さらに、当該第 2 の半導体チップ 7 0 3 上には、接続パッド 7 0 9 が露出するようにスペーサー 7 1 5 が載置される。そして、第 1 の半導体チップ 7 0 2 は、スペーサー 7 1 5 上に、形成された回路面が図 1 4 の上方向を向くように貼り付けられる。これにより、第 1 の半導体チップ 7 0 2 と第 2 の半導体チップ 7 0 3 とが積層される。

## 【0 1 5 7】

次に、第 1 の半導体チップ 7 0 2 の接続パッド 7 0 8 と、ダイパッド 7 0 7 の接続部 7 1 0 とが、チップ間接続ワイヤー 7 0 4 a により接続される。さらに、第 2 の半導体チップ 7 0 3 の接続パッド 7 0 9 と、ダイパッド 7 0 7 の接続部 7 1 0 とが、チップ間接続ワイヤー 7 0 4 b により接続される。これによって、第 1 の半導体チップ 7 0 2 と第 2 の半導体チップ 7 0 3 とが、接続部 7 1 0 を介して電氣的に接続される。

## 【0 1 5 8】

以上のように、本実施形態に係る半導体装置は、第 1 の実施形態に係る半導体装置の有する効果に加えて、ダイパッド 7 0 7 が第 1 の半導体チップ 7 0 2 および第 2 の半導体チップ 7 0 3 の下に配置され、当該ダイパッド 7 0 7 の接続部 7



10を介して第1の半導体チップ702と第2の半導体チップ703とが接続されるので、第1の半導体チップ702の回路面と第2の半導体チップ703の回路面とが同方向を向いている場合であっても、これらの半導体チップを互いに接続させることが可能となるという効果を有する。

#### 【0159】

なお、本実施形態に係る半導体装置によれば、接続部710は、ダイパッド707上に設けられるものとしているが、当該接続部710が設けられる場所は、ダイパッド707上に限られない。

#### 【0160】

そこで、以下に説明する第8の実施形態では、第7の実施形態に係る半導体装置において、ダイパッド707以外の場所に接続部710が設けられたものについて説明する。

#### 【0161】

(第8の実施形態)

それでは、以下に本発明の第8の実施形態に係る半導体装置について、図15を参照しながら説明する。図15は、本実施形態に係る半導体装置の断面図である。

#### 【0162】

まず、本実施形態に係る半導体装置は、パッケージ801、第1の半導体チップ802、第2の半導体チップ803、チップ間接続ワイヤー804aおよびb、外部導出リード806、ダイパッド807ならびにスペーサー815を備える。

#### 【0163】

パッケージ801およびチップ間接続ワイヤー804aおよびbについては、第1の実施形態に係るこれらのものと同様であるので説明を省略する。

#### 【0164】

また、第1の半導体チップ802、第2の半導体チップ803、これらの半導体チップの表面に形成された接続パッド808および809ならびにスペーサー815は、第7の実施形態に係るものと同様であるので説明を省略する。

## 【0165】

ダイパッド807は、第1の半導体チップ802および第2の半導体チップ803を載置するためのマウントであって、不導体によって形成される。

## 【0166】

ここで、本実施形態に係る外部導出リード806について説明する。本実施形態に係る外部導出リード806は、第4の実施形態に係る外部導出リード406と同様の構成を有する。より具体的には、本実施形態に係る外部導出リード406は、第1の実施形態に係る外部導出リード106と同様の形状をした非導電体によって作成される。そして、当該外部導出リード806の半導体装置側の部分に金属めっきが施されることにより、第1の半導体チップ802と第2の半導体チップ803との接続を仲介する接続部810が形成される。また、当該外部導出リード806の外部接続される部分に金属めっきがほどこされることにより、当該半導体装置と外部とを接続するための外部接続部811が形成される。なお、本実施形態に係る外部導出リード806では、第4の実施形態に係るものと同様に、接続部810と外部接続部811とは、非導電部分を介して絶縁されている。

## 【0167】

以上のように構成された本実施形態に係る半導体装置について、以下に、第1の半導体チップ802と第2の半導体チップ803との接続について説明する。

## 【0168】

まず、第2の半導体チップ803は、ダイパッド807上に、形成された回路面が図15の上方向を向くように貼り付けられる。さらに、当該第2の半導体チップ803上には、接続パッド809が露出するようにスペーサー815が載置される。そして、第1の半導体チップ802は、スペーサー815上に、形成された回路面が図15の上方向を向くように貼り付けられる。これにより、第1の半導体チップ802と第2の半導体チップ803とが積層される。

## 【0169】

次に、第1の半導体チップ802の接続パッド808と、外部導出リード806の接続部810とが、チップ間接続ワイヤー804aにより接続される。さら

に、第2の半導体チップ803の接続パッド809と、外部導出リード806の接続部810とが、チップ間接続ワイヤー804bにより接続される。これによって、第1の半導体チップ802と第2の半導体チップ803とが、接続部810を介して電氣的に接続される。

#### 【0170】

以上のように、本実施形態に係る半導体装置は、第1の実施形態に係る半導体装置の有する効果に加えて、第7の実施形態と同様に、第1の半導体チップ702の回路面と第2の半導体チップ703の回路面とが同方向を向いている場合であっても、これらの半導体チップを互いに接続させることがにできるという効果を有する。

#### 【0171】

また、本実施形態に係る半導体装置によれば、第4の実施形態と同様に、リードフレームの形状を変更させる必要がないので、当該リードフレームの形状の再設計の必要がなくなる。

#### 【0172】

なお、本実施形態および第7の実施形態では、2枚の半導体チップの回路面が同方向を向いている場合について説明を行った。ここで、上記2つの実施形態では、ダイパッドは、第2の半導体チップの下に配置されるものであった。

#### 【0173】

しかしながら、本実施形態および第7の実施形態のように2枚の半導体チップの回路面が同方向を向いている場合であっても、当該ダイパッドが配置される場所は、第2の半導体チップの下に限られない。

#### 【0174】

そこで、以下に説明する第9の実施形態では、第7の実施形態に係る半導体装置において、ダイパッドが第2の半導体チップの下以外の場所に配置される半導体装置について説明する。

#### 【0175】

(第9の実施形態)

それでは、以下に、本発明の第9の実施形態に係る半導体装置について、図1

6 および 16 を用いて説明する。

#### 【0176】

ここで、図 16 は、本実施形態に係る半導体装置の部品を示した図である。図 16 (a) は、第 1 の半導体チップ 902 の外観斜視図である。図 16 (b) は、ダイパッド 907 の外観斜視図である。図 16 (c) は、第 2 の半導体チップ 903 の外観斜視図である。本実施形態に係る半導体装置は、図 16 (a) に示される第 1 の半導体チップ 902 と、図 16 (b) に示されるダイパッド 907 と、図 16 (c) に示される第 2 の半導体チップ 903 とが貼り合わされることにより作成される。それでは、以下に、各部品の詳細について説明する。

#### 【0177】

ここで、当該第 1 の半導体チップ 902 は、図 16 (a) の紙面表面方向の面に回路が形成されており、外部あるいは第 2 の半導体チップ 903 と接続するための接続パッド 908 a および b を回路面内に含む。ダイパッド 907 は、第 1 の半導体チップ 902 および第 2 の半導体チップ 903 を載置するための非導電性のマウントであり、第 1 の実施形態等と同様にマウント部と外枠とにより構成される。なお、当該図 16 (b) では、マウント部のみが記載されており、外枠は省略されている。当該マウント部は、第 1 の半導体チップ 902 および第 2 の半導体チップ 903 よりも大きな外形をしており、図 1 の表面方向の面に第 1 の半導体チップ 902 が貼り合わされ、図 1 の裏面方向の面に第 2 の半導体チップ 903 が貼り合わされる。また、マウント部の端には、第 1 接続部 910 a および b が金属めっきにより形成され、さらに、当該第 1 の接続部 910 a および b と電氣的に接続されたメタル配線 912 a および b が、マウント部に金属めっきにより形成されている。そして、当該メタル配線 912 a および b のそれぞれの端には貫通した孔がけられており、当該孔に金属片がはめ込まれることにより、第 2 接続部 911 a および b が形成される。第 2 の半導体チップ 903 は、第 1 の半導体チップ 902 と略同サイズであって、図 16 (c) の紙面表面方向の面に回路が形成されており、当該回路面内に第 2 接続部 911 a および b と電氣的に接続するためのバンプ 905 a および b を含む。当該バンプ 905 a および b は、ダイパッド 907 に第 2 の半導体チップ 903 が重ねられたときに、ダイ

パッド907の第2接続部911aおよびbと接触する位置に形成される。

#### 【0178】

それでは、以下に、本実施形態に係る半導体装置の構成について説明する。図17は、本実施形態に係る半導体装置の断面図である。

#### 【0179】

本実施形態に係る半導体装置は、パッケージ901、第1の半導体チップ902、第2の半導体チップ903、チップ間接続ワイヤー904a、b、バンプ905a、b、外部導出リード906、ダイパッド907を備える。また、第1の半導体チップ902は、接続パッド908a、bを含む。ダイパッド907は、マウント部に形成された接続部910a、bを含む。

#### 【0180】

ここで、パッケージ901、第1の半導体チップ902、チップ間接続ワイヤー904a、bおよび外部導出リード906については第1の実施形態に係るこれらのものと同様であるので説明を省略する。また、ダイパッド907、第2の半導体チップ903およびバンプ905a、bは、すでに説明を行ったのでここでは説明を省略する。

#### 【0181】

第1接続部910aおよびb、メタル配線912aおよびbならびに第2接続部911aおよびbは、第1の半導体チップ902と第2の半導体チップ903との接続を仲介する。

#### 【0182】

以上のように構成された半導体装置について、第1の半導体チップ902と第2の半導体チップ903との接続について説明する。

#### 【0183】

まず、第1の半導体チップ902は、ダイパッド907のマウント部の表面に、その回路面が図17において紙面上向きとなるように貼り合わされる。ここで、当該第1の半導体チップ902とダイパッド907とは、非導電性の接着剤によって貼り合わされる。これは、第1の半導体チップ902とメタル配線912aおよびbとがショートすることを防止するためである。

## 【0184】

次に、第1の半導体チップ902と第2の半導体チップ903とを当該半導体装置内で接続させるために、第1の半導体チップ902の接続パッド908aと第1接続部910aとがチップ間接続ワイヤー904aにより接続される。さらに、第1の半導体チップ902の接続パッド908bと第1接続部910bとがチップ間接続ワイヤー904bにより接続される。

## 【0185】

次に、第2の半導体チップ903は、ダイパッド907のマウント部の裏面に、その回路面が図17において紙面上向きとなるようにバンプ905aおよびbを介して貼り合わされる。ここで、当該第2の半導体チップ903は、バンプ905aが第2接続部911aと一致し、バンプ905bが第2接続部911bと一致するように、ダイパッド907に貼り合わされる。これにより、第1の半導体チップ902と第2の半導体チップ903とは、第1接続部910aおよびb、メタル配線912aおよびbならびに第2接続部911aおよびbを介して電氣的に接続される。

## 【0186】

以上のように本実施形態に係る半導体装置は、第1の実施形態の半導体装置と同様の効果を有すると共に、ダイパッド907と第2の半導体チップ903とがバンプ905aおよびbによって電氣的に接続されているので、ダイパッド907が間にあってかつ第2の半導体チップ903が第1の半導体チップ902と同方向を向いている場合であっても、2つの半導体チップ同士を接続させることが可能となる。

## 【0187】

なお、本実施形態に係る半導体装置においても、第1の実施形態に係る半導体装置と同様に半導体アセンブリを作成することは可能である。

## 【0188】

なお、本実施形態では、第1の半導体チップ902とダイパッド907のメタル配線912aおよびbとを絶縁するために、第1の半導体チップ902とダイパッド907とは、非導電性の接着剤により貼り合わせるものとしているが、第

1の半導体チップ902とダイパッド907のメタル配線912aおよびbとを絶縁する方法は、これに限られない。より具体的には、ダイパッド907のマウント部のメタル配線912aおよびbが形成された主面上に、非導電性のフィルムが貼り付けられて、その後に、第1の半導体チップ902が貼り合わされてもよい。また、非導電性のフィルムの代わりに、ダイパッド907と同じ非導電体の板が、メタル配線912aおよびbが形成されたダイパッド907に貼り付けられてもよい。

#### 【0189】

なお、本実施形態に係る半導体装置によれば、第1の半導体チップ903の回路面と第2の半導体チップ903の回路面とは同方向を向いているが、これらの2つの回路面は、互いにダイパッド907を挟んで対向していてもよい。この場合、第1の半導体チップ902とダイパッド907とは、バンプを介して接続されることになる。

#### 【0190】

なお、第1～第9の実施形態の半導体装置において、パッケージについては特に言及していなかったが、当該パッケージについては、リード間が中空であるセラミックパッケージであってもよいし、リード間が中空でないセラミックパッケージであってもよい。

#### 【0191】

なお、第1～第9の実施形態の半導体装置において、第1の半導体チップと第2の半導体チップとは、略同サイズであるとしたが、当該略同サイズであるというのは、第1の半導体チップと第2の半導体チップとが積層されたときに、一方の半導体チップが他方の半導体チップに対して接続パッドをはることができない程度の大きさしかはみ出さないことをいう。

#### 【0192】

なお、第1～第9の実施形態において用いられている金属めっきや、貫通した孔に対して埋め込まれる金属は、導電性の物質の一例として記載したものである。すなわち、これらは、例えば、導電性を有する樹脂等に置き換えられることも可能である。

## 【0193】

なお、第1～第9の実施形態の半導体装置において、積層される半導体チップの枚数は、2枚であるとしているが、積層される半導体チップの枚数はこれに限られず、3枚以上の半導体チップが積層されてもよい。ここで、3枚以上の半導体チップが積層される半導体装置は、第1～第9の実施形態に係る半導体装置の積層方法が組み合わされることによって実現される。

## 【図面の簡単な説明】

## 【図1】

本発明の第1の実施形態に係る半導体装置の各部品の外観斜視図である。

## 【図2】

本発明の第1の実施形態に係る半導体装置の外観斜視図である。

## 【図3】

本発明の第1の実施形態に係る半導体アセンブリの各部品の外観斜視図である。

## 【図4】

本発明の第2の実施形態に係る半導体装置の各部品の外観斜視図である。

## 【図5】

本発明の第2の実施形態に係る半導体装置の外観斜視図である。

## 【図6】

本発明の第3の実施形態に係る半導体装置の各部品の外観斜視図である。

## 【図7】

本発明の第3の実施形態に係る半導体装置の外観斜視図である。

## 【図8】

本発明の第4の実施形態に係る半導体装置の外観斜視図である。

## 【図9】

本発明の第5の実施形態に係る半導体装置の各部品の外観斜視図である。

## 【図10】

本発明の第5の実施形態に係る半導体装置の外観斜視図である。

## 【図11】



本発明の第5の実施形態に係る半導体装置のその他の一例のものの外観斜視図である。

【図12】

本発明の第6の実施形態に係る半導体装置の各部品の外観斜視図である。

【図13】

本発明の第6の実施形態に係る半導体装置の外観斜視図である。

【図14】

本発明の第7の実施形態に係る半導体装置の断面図である。

【図15】

本発明の第8の実施形態に係る半導体装置の断面図である。

【図16】

本発明の第9の実施形態に係る半導体装置の各部品の外観斜視図である。

【図17】

本発明の第9の実施形態に係る半導体装置の断面図である。

【符号の説明】

101、201、301、401、701、801、901 パッケージ

102、202、302、402、502、601、702、802、902

第1の半導体チップ

103、203、303、403、503、603、703、803、903

第2の半導体チップ

104、204、304、404、504、704、804、904 チップ

間接続ワイヤー

105、205、305、405、505 外部接続ワイヤー

106、206、306、406、506、706、806、906 外部導  
出リード

107、207、307、407、507、602、707、807、907

ダイパッド

108、109、208、209、308、309、408、409、508

、509、708、709、808、809、908 接続パッド

110、121、211、310、410、510、710、810、910

接続部

111、212、311、512 マウント部

120 非導電体

210 ブリッジ

411、811 外部接続部

511、551、607、912 メタル配線

605、606、608、911 金属片

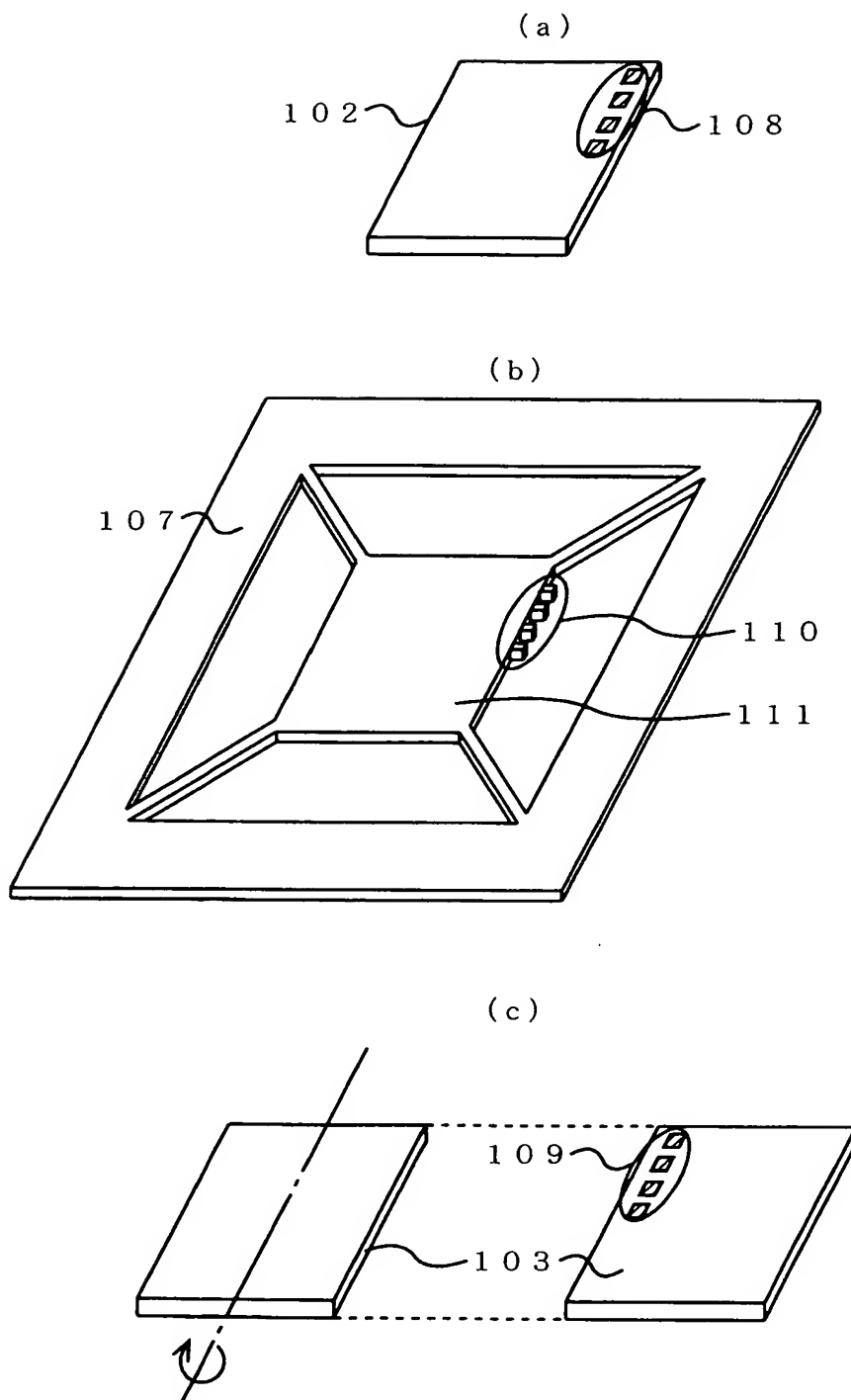
815 スペーサー

905 バンプ

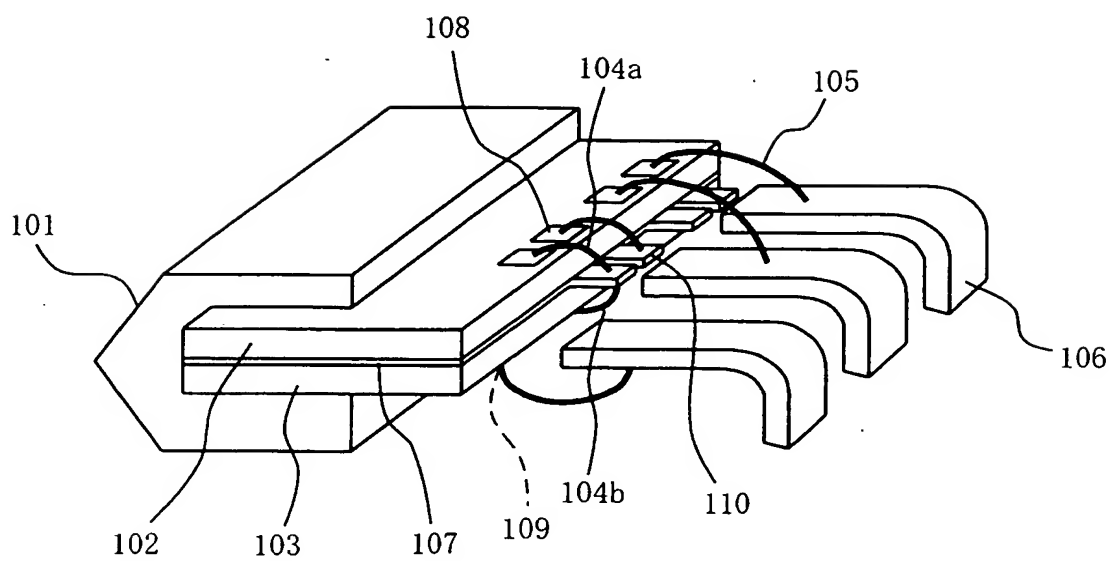
【書類名】

図面

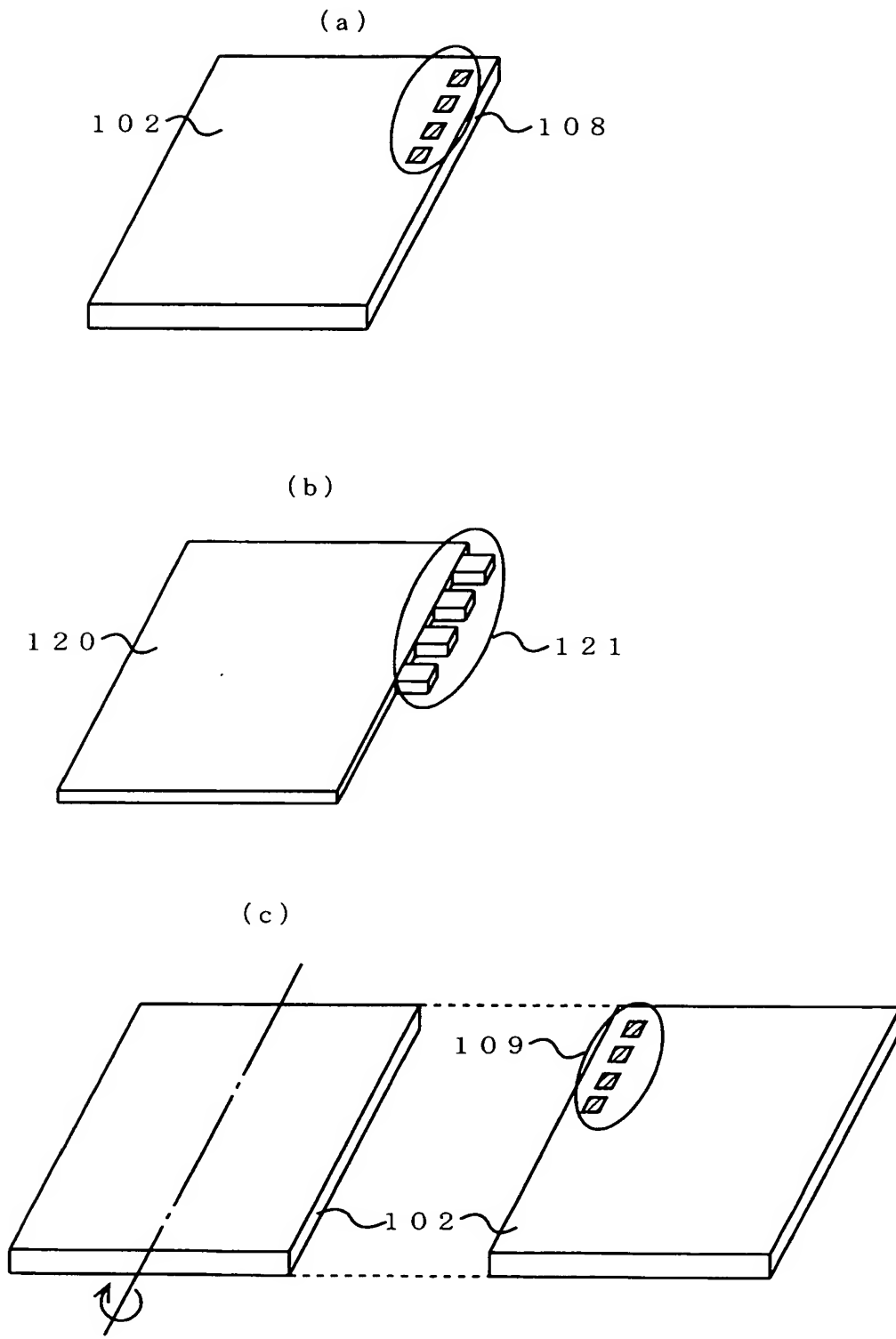
【図 1】



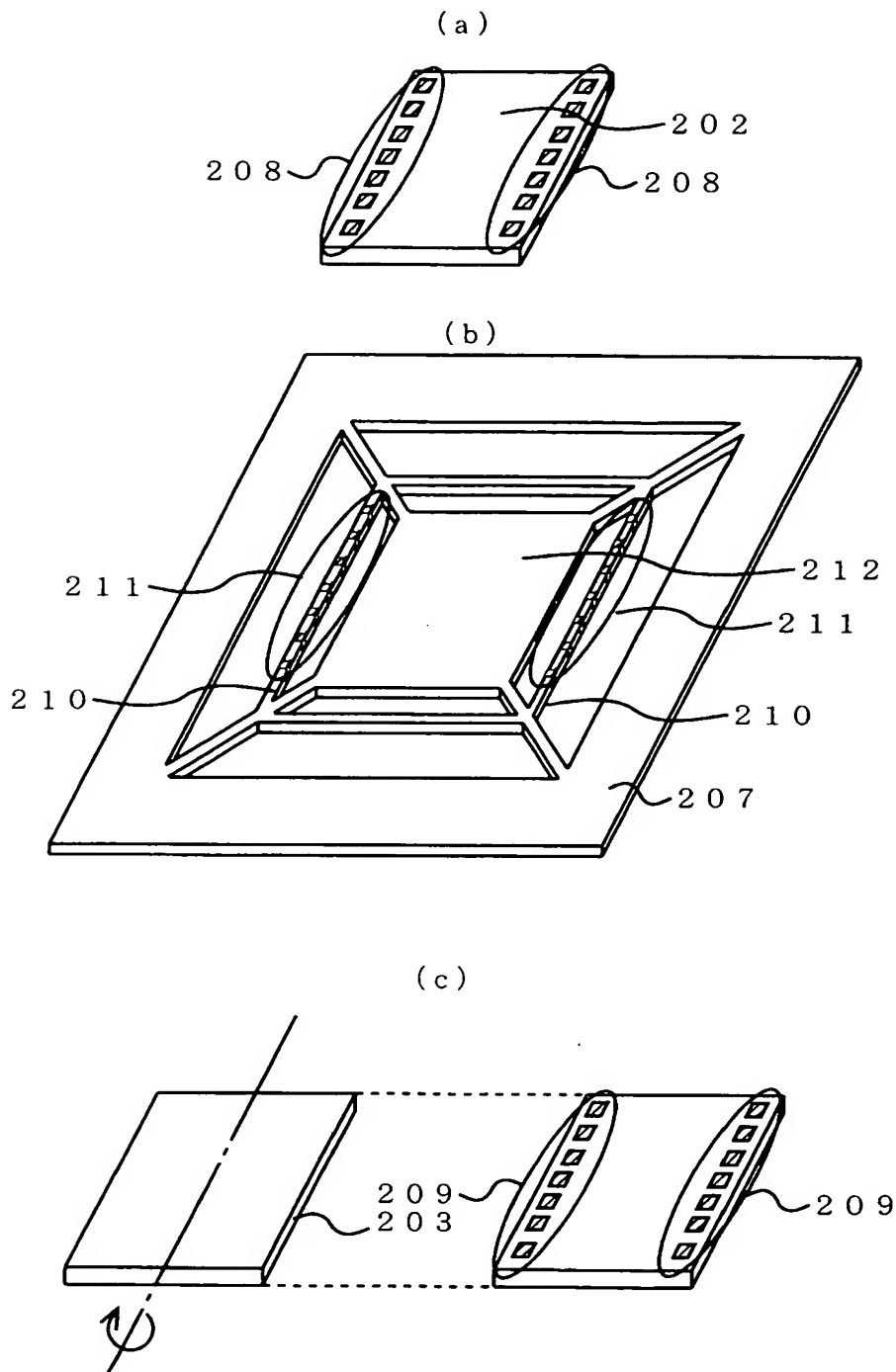
【図 2】



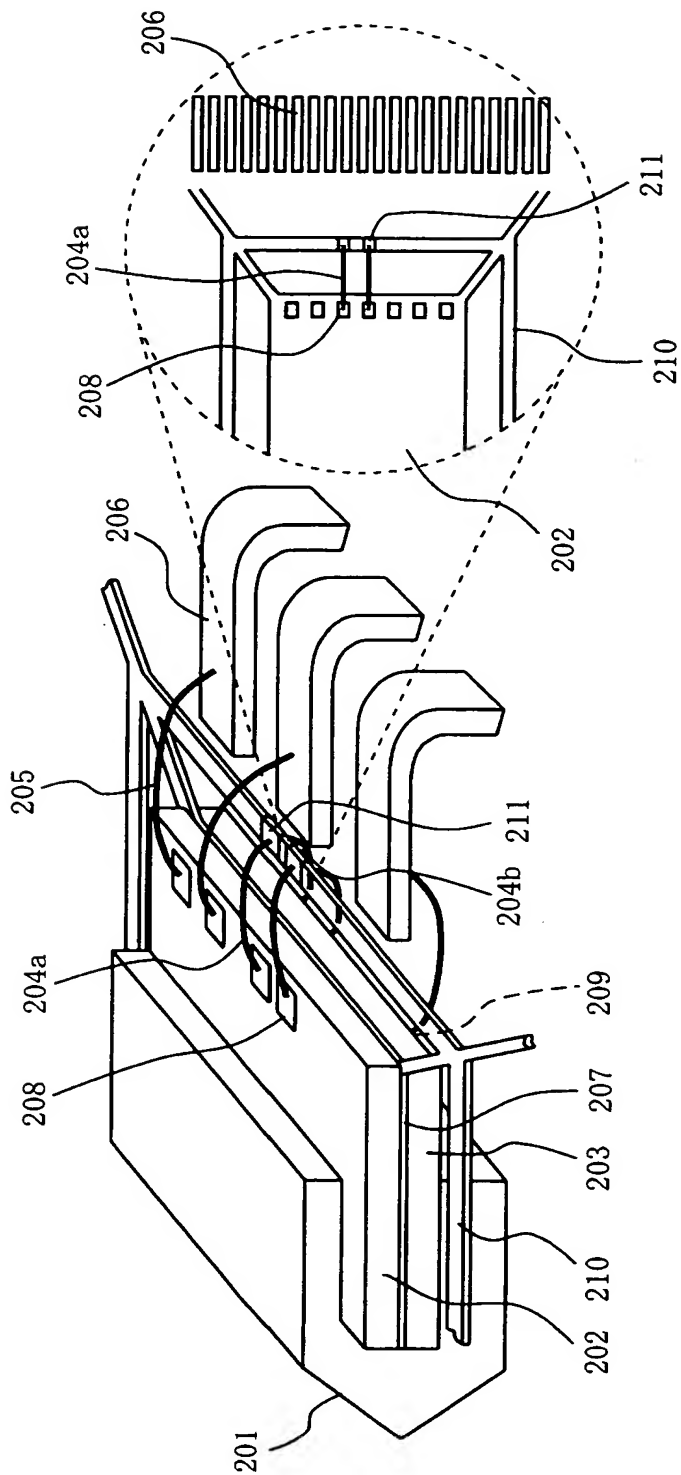
【図 3】



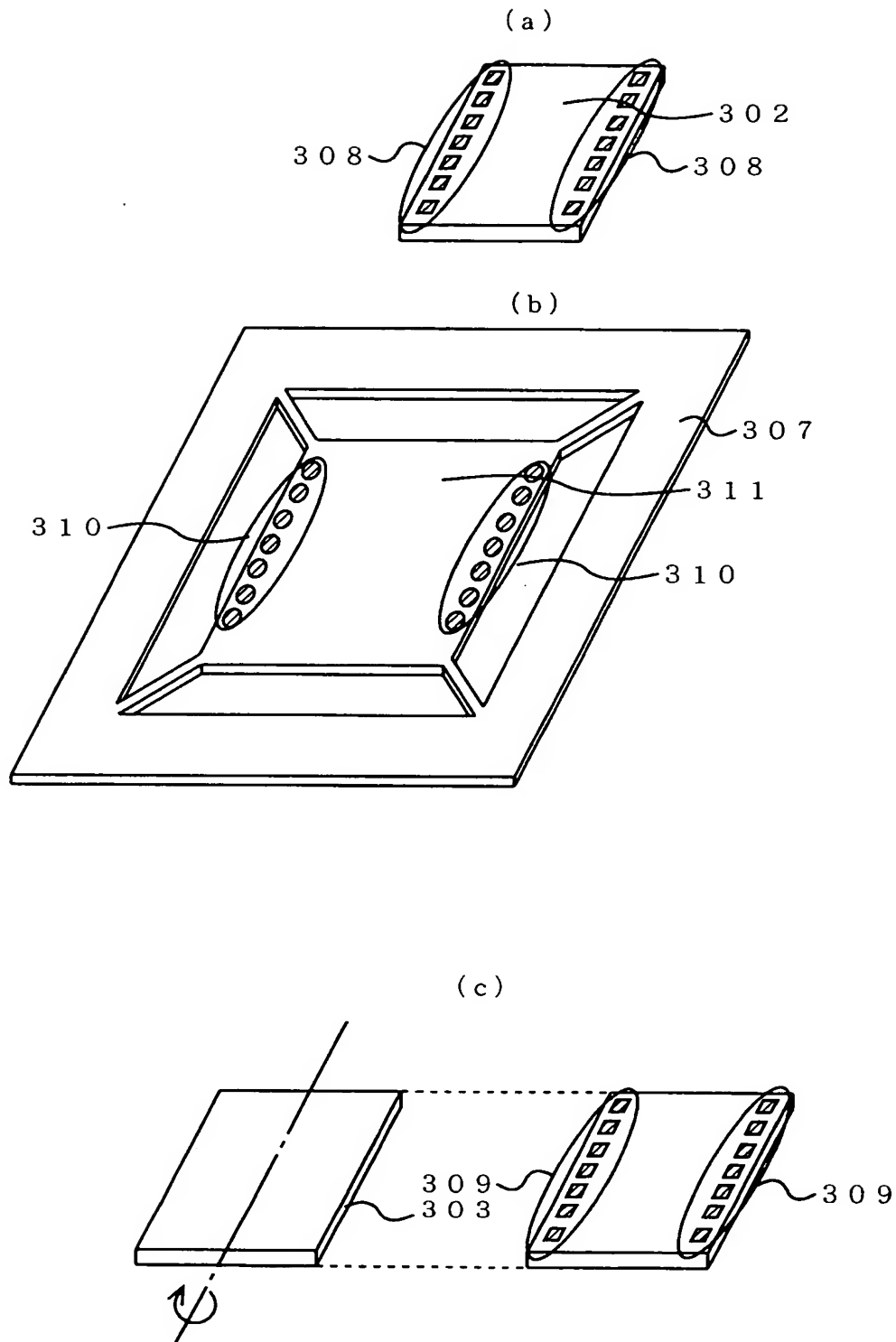
【図 4】



【図 5】

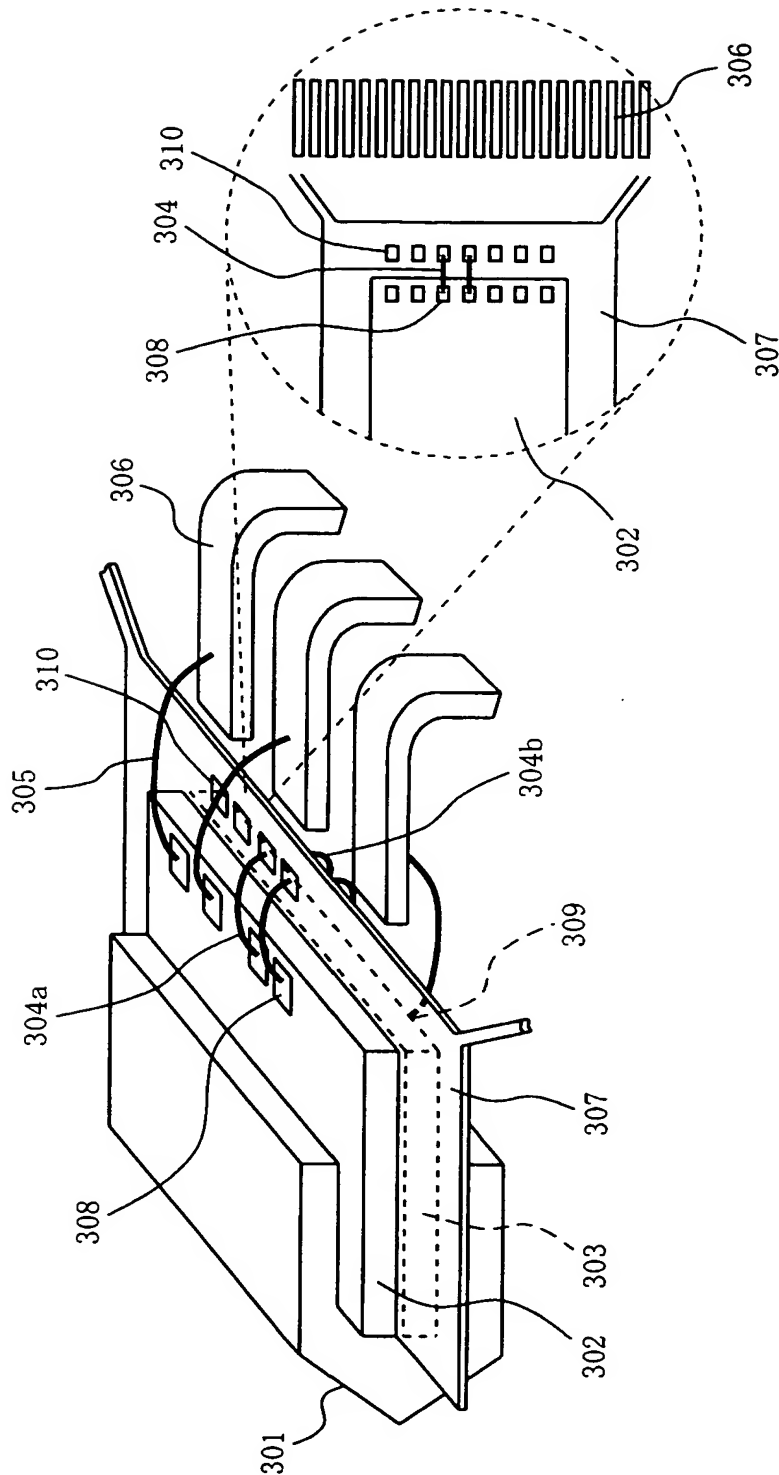


【図 6】

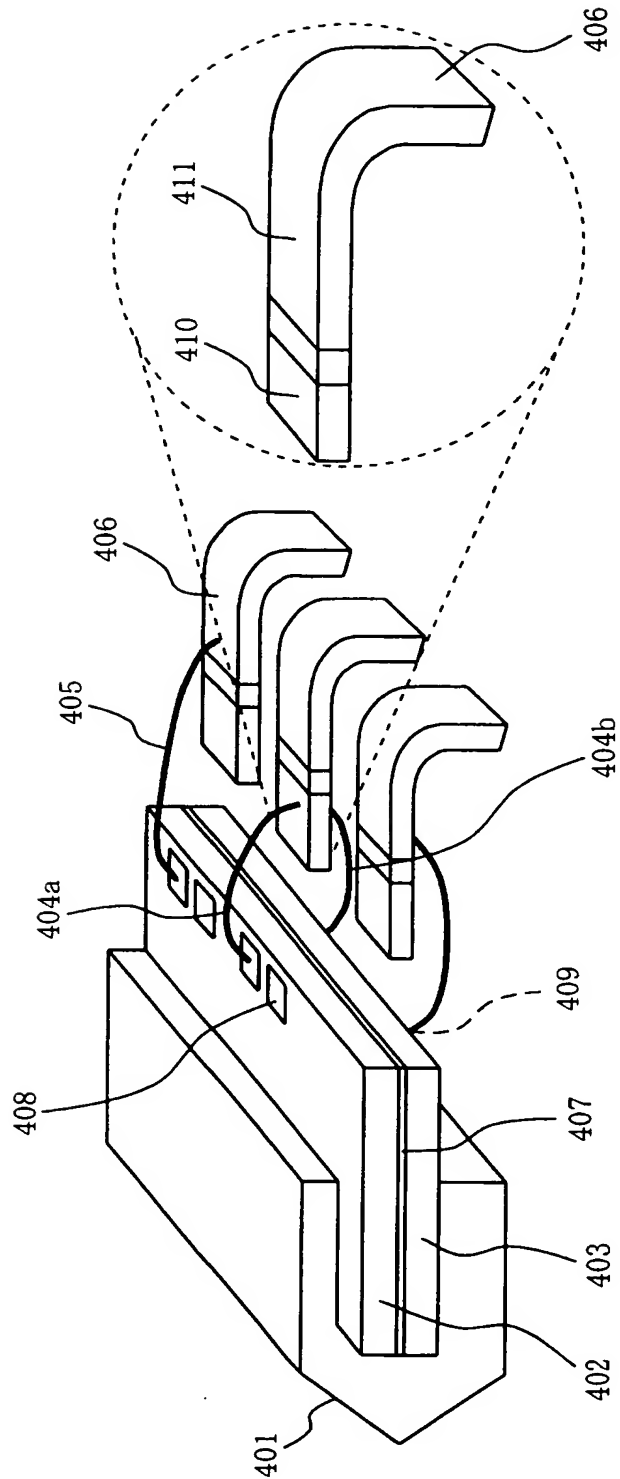




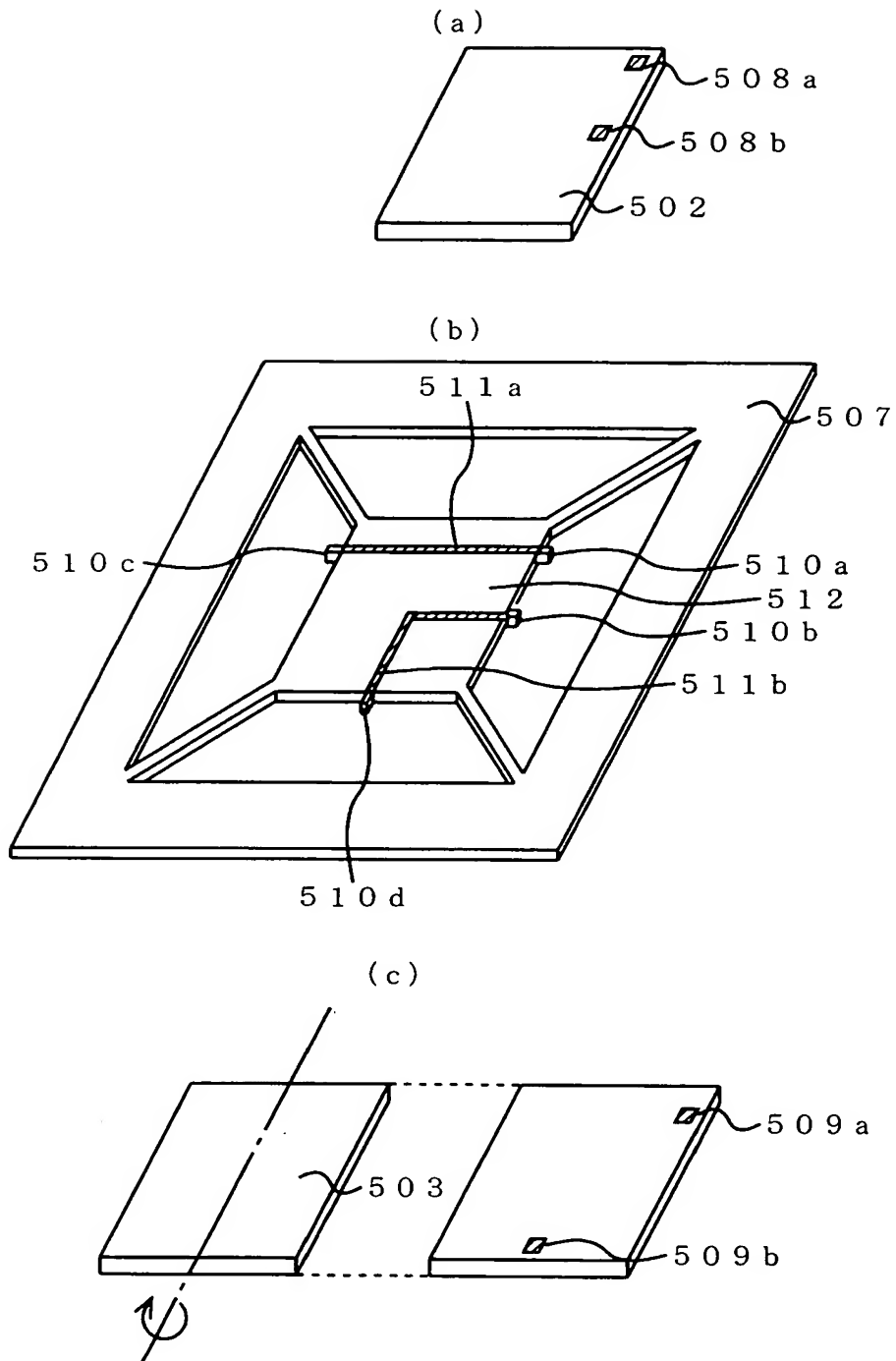
【図 7】



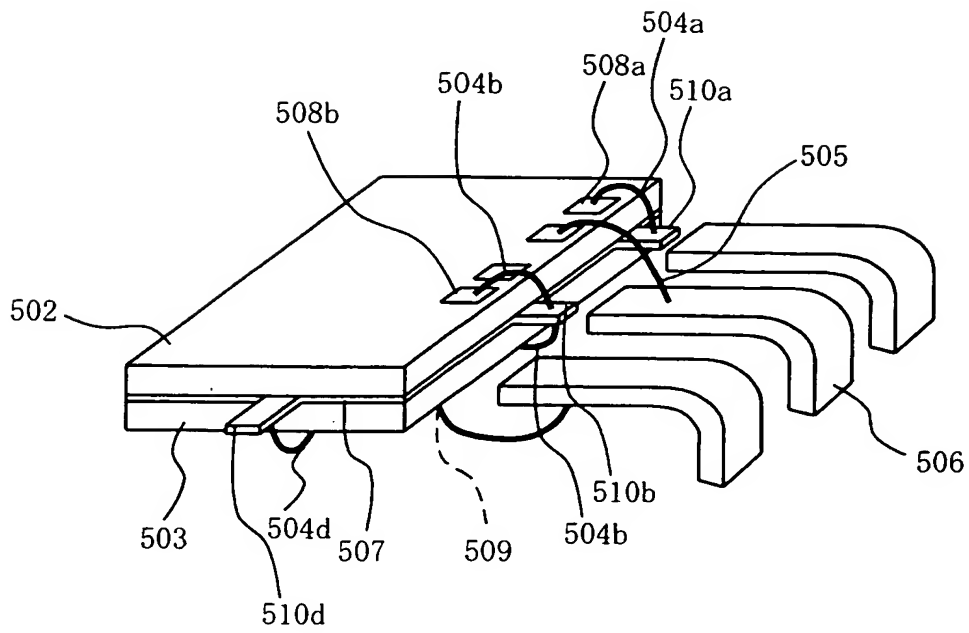
【図 8】



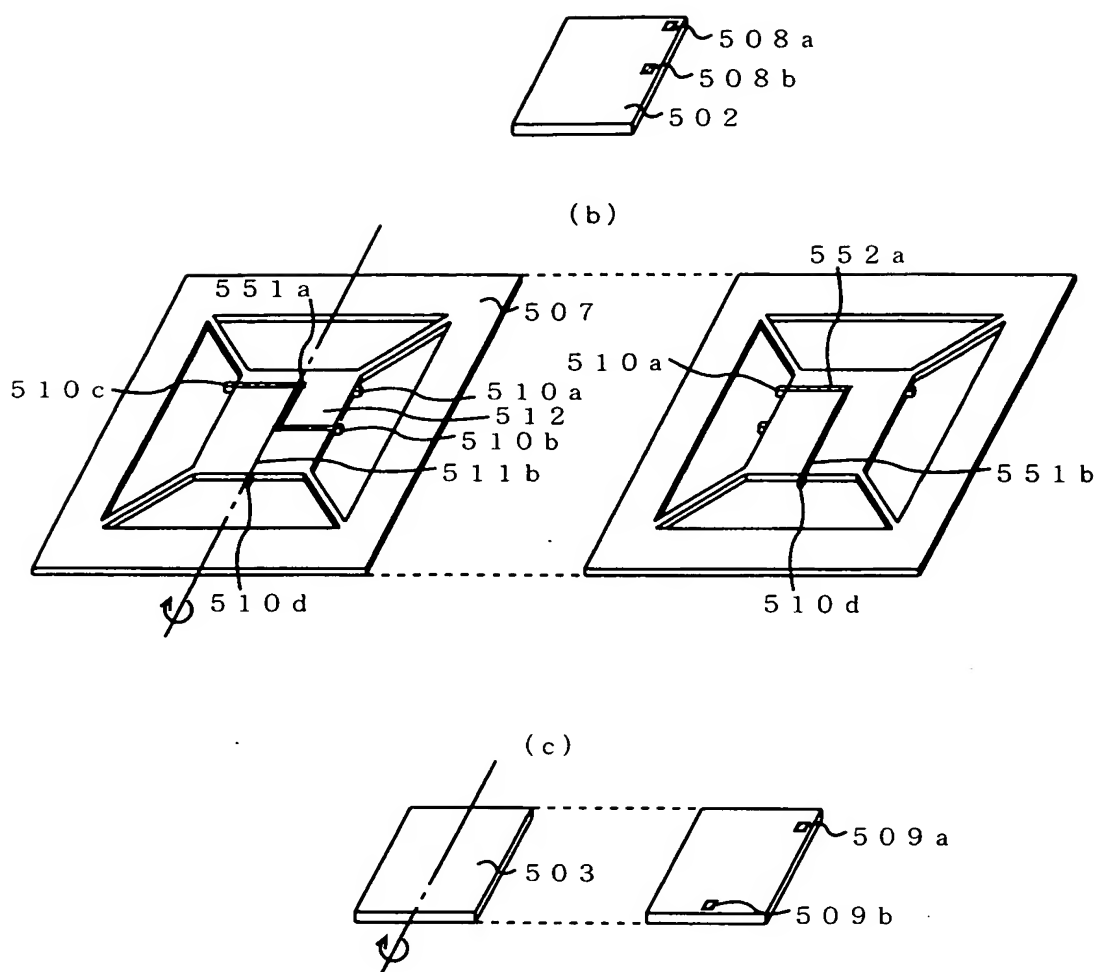
【図 9】



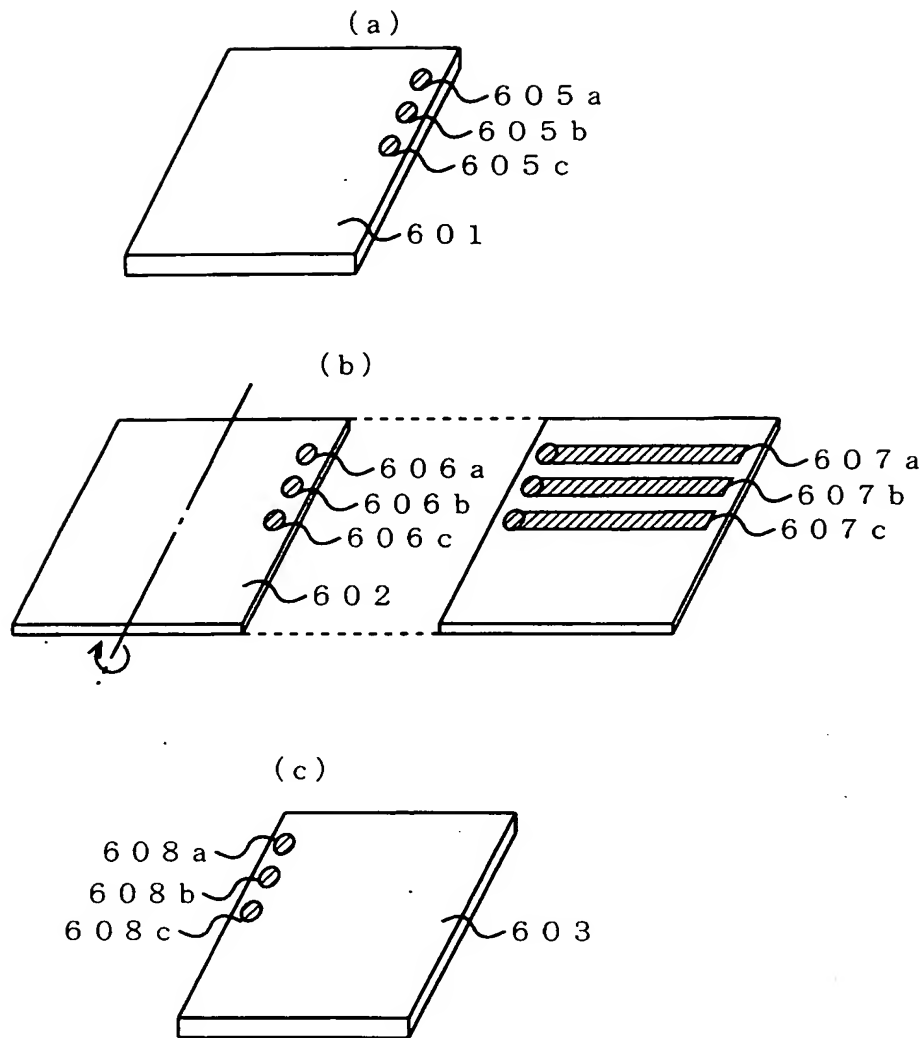
【図 10】



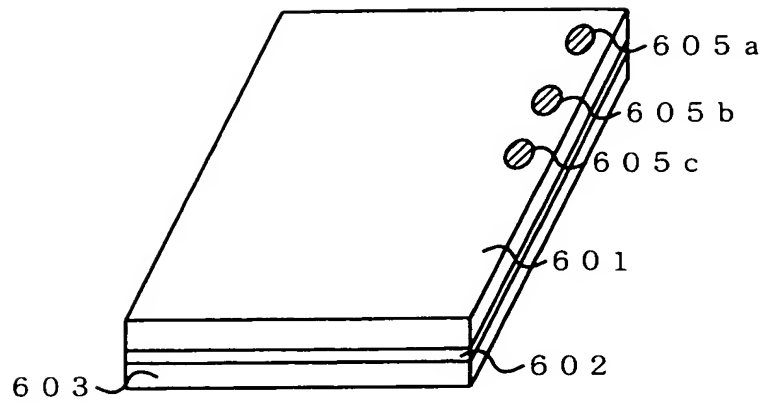
【図 11】



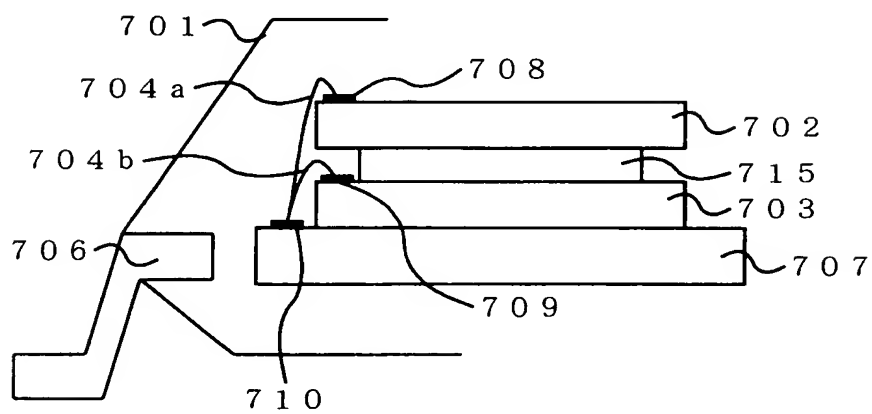
【図 12】



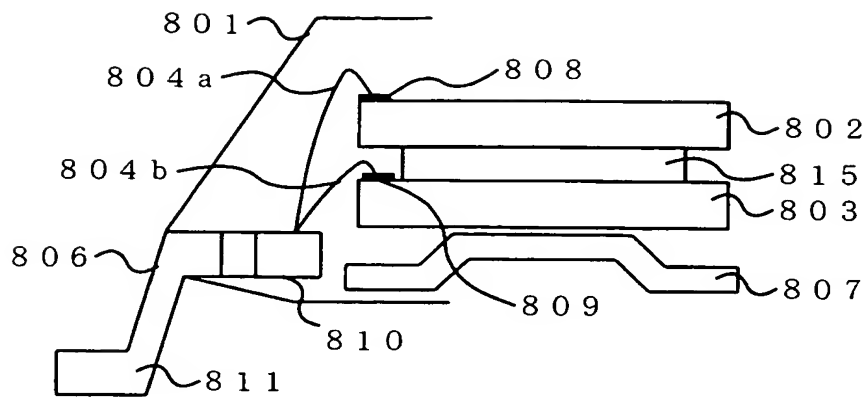
【図 13】



【図 14】

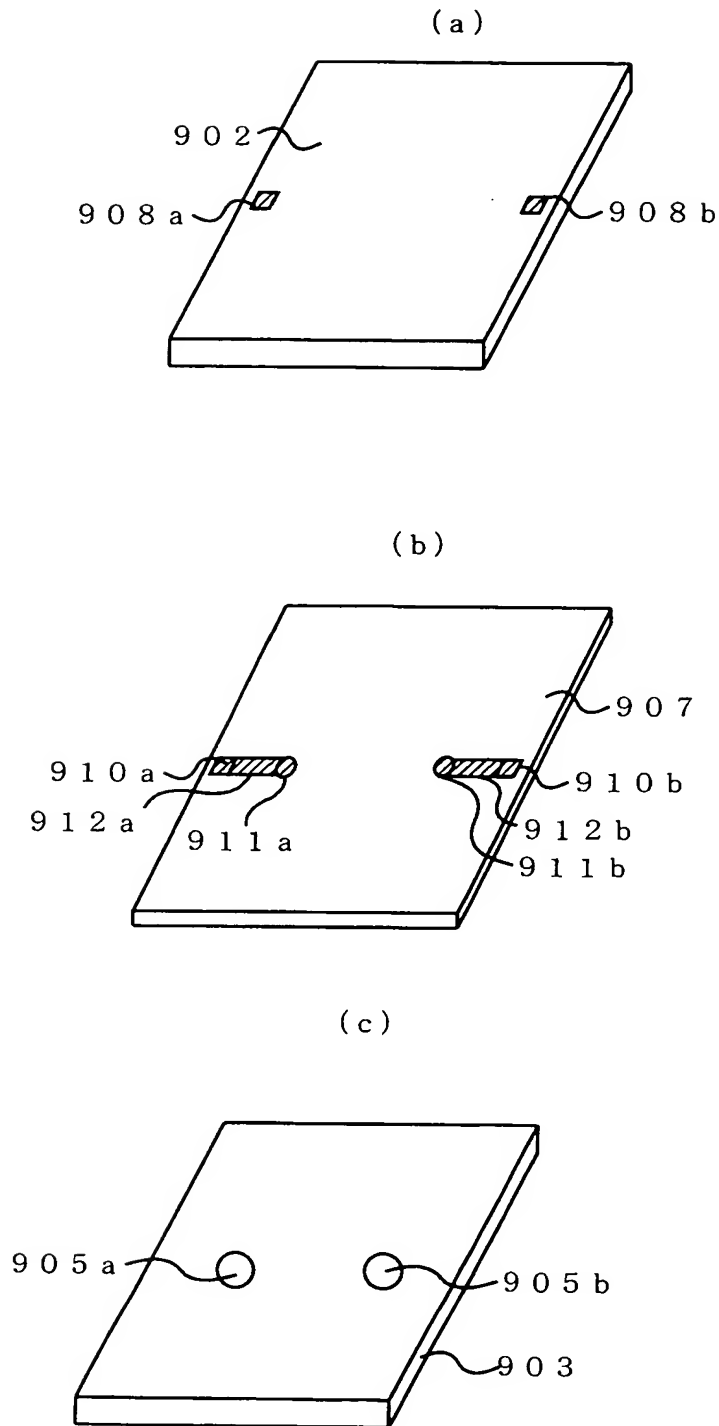


【図 15】

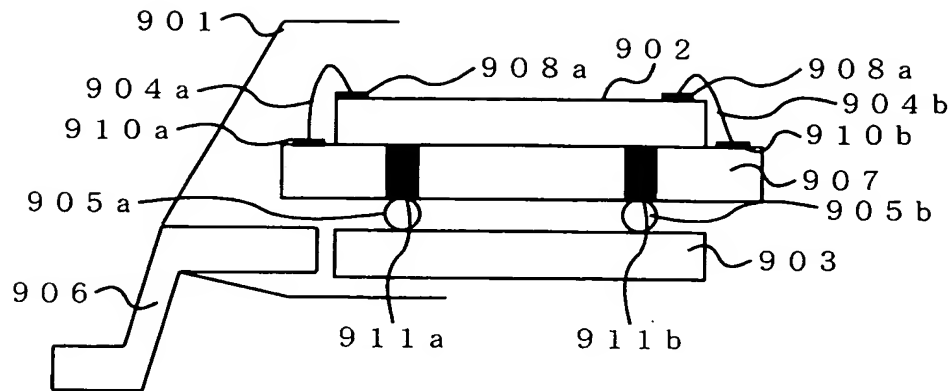




【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 本発明の目的は、部品点数を押さえることができると共に、作成容易である複数の半導体チップが内部接続された半導体装置を提供することである。

【解決手段】 第 1 の半導体チップ 1 0 2 は、図 2 の紙面上方向に集積回路が形成されている。また、第 2 の半導体チップ 1 0 3 は、図 2 の紙面下方向に集積回路が形成されている。当該第 1 の半導体チップ 1 0 2 と第 2 の半導体チップ 1 0 3 とは、非導電性のダイパッド 1 0 7 を挟んでいる。当該ダイパッド 1 0 7 には、第 1 の半導体チップ 1 0 2 および第 2 の半導体チップ 1 0 3 から突出する接続部 1 1 0 が設けられる。当該接続部 1 1 0 は、表面に金属めっきが施されており、導電性を有する。第 1 の半導体チップ 1 0 2 の集積回路と第 2 の半導体チップ 1 0 3 の集積回路とは、接続部 1 1 0 を介して二本のチップ間接続ワイヤー 1 0 4 a および b によって接続される。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2003-062283
受付番号	50300377987
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 3月10日

<認定情報・付加情報>

【提出日】	平成15年 3月 7日
-------	-------------

次頁無

特願 2003-062283

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住所

大阪府門真市大字門真1006番地

氏名

松下電器産業株式会社